

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2004年8月5日 (05.08.2004)

PCT

(10) 国際公開番号
WO 2004/065900 A1

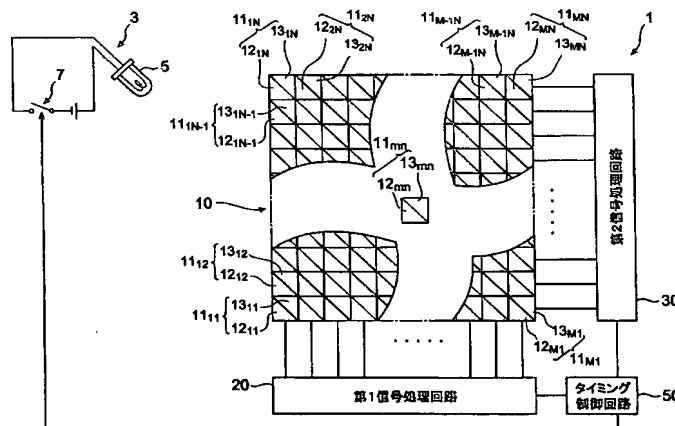
- (51) 国際特許分類: G01B 11/00
- (21) 国際出願番号: PCT/JP2004/000537
- (22) 国際出願日: 2004年1月22日 (22.01.2004)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2003-016693 2003年1月24日 (24.01.2003) JP
- (71) 出願人(米国を除く全ての指定国について): 浜松ホトニクス株式会社 (HAMAMATSU PHOTONICS K.K.)
[JP/JP]; 〒4358558 静岡県浜松市市野町1126番地の1 Shizuoka (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 杉山 行信 (SUGIYAMA, Yukinobu) [JP/JP]; 〒4358558 静岡県

- 浜松市市野町1126番地の1浜松ホトニクス株式会社内 Shizuoka (JP). 水野 誠一郎 (MIZUNO, Seichiro) [JP/JP]; 〒4358558 静岡県浜松市市野町1126番地の1 浜松ホトニクス株式会社内 Shizuoka (JP).
- (74) 代理人: 長谷川 芳樹, 外 (HASEGAWA, Yoshiki et al.); 〒1040061 東京都中央区銀座一丁目10番6号銀座ファーストビル 創英国際特許法律事務所 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG,

[続葉有]

(54) Title: OPTICAL SENSING DEVICE

(54) 発明の名称: 光検出装置



20...FIRST SIGNAL PROCESSING CIRCUIT
30...SECOND SIGNAL PROCESSING CIRCUIT
50...TIMING CONTROL CIRCUIT

(57) Abstract: It is possible to increase the sensing speed of a 2-dimensional position where light is incident and simplify the configuration of the sensing. In an optical sensing region (10) including pixels (11_{MN}) arranged in 2-dimensional way, each one pixel (11_{MN}) is composed of a plurality of optical sensing portions (12_{MN}, 13_{MN}) arranged adjacently in the same plane for outputting current in accordance with intensity of each incident light. In the 2-dimensional arrangement, for the first direction, one (12_{MN}) of the optical sensing portions of each pixel (11_{MN}) is electrically connected with one another while for the second direction, the other (13_{MN}) of the optical sensing portions of each pixel (11_{MN}) is electrically connected with one another, thereby constituting an optical sensing portion group, respectively. There is provided a signal processing circuit for sensing a luminance profile according to a difference between outputs of the optical sensing portion groups of the first period when light is applied by a light source and the second period when the light is not applied.

[続葉有]



KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

(57) 要約:

光が入射した2次元位置の検出処理の高速化および構成の簡素化を図る目的とする。画素(1 1_{mn})が2次元配列された光感応領域(1 0)において、各々入射した光の強度に応じた電流を出力する複数の光感応部分(1 2_{mn}, 1 3_{mn})を同一面内にて隣接配設することで1画素(1 1_{mn})が構成され、2次元配列における第1の方向について各画素(1 1_{mn})の一方の光感応部分(1 2_{mn})同士を電氣的に接続し、第2の方向について各画素(1 1_{mn})の他方の光感応部分(1 3_{mn})同士を電氣的に接続し、それぞれに光感応部分群を構成する。光源により光が照射されている第1の期間と当該光が照射されていない第2の期間についての光感応部分群の出力の差分に基づいて輝度プロフィールを検出する信号処理回路を備える。

明細書

光検出装置

技術分野

【0001】 本発明は、光が入射した2次元位置を検出する光検出装置に関するものである。

背景技術

【0002】 従来における光検出装置においては、MOS型イメージセンサ等の固体撮像素子を用いて、撮像により得られた画像データを画像メモリに取り込み、画像処理して2次元位置を検出するのが一般的である（例えば、特許文献1参照）。

【0003】 【特許文献1】 特開平01-167769号公報

発明の開示

【0004】 しかしながら、上述した従来の技術においては、得られた画像データを格納する画像メモリが必要となることから、装置構成が複雑なものになってしまう。また、画像データを画像メモリに格納した後に演算処理を行って2次元位置を検出するため、2次元位置の検出処理に時間がかかってしまう。

【0005】 本発明は上述の点に鑑みてなされたもので、その目的は、2次元位置の検出処理の高速化および構成の簡素化を図ることが可能な光検出装置を提供することにある。

【0006】 上述した目的を達成するため、本発明に係る光検出装置は、対象物に光を照射する光源とともに用いられ、画素が2次元配列された光感応領域を有する光検出装置であって、各々入射した光の強度に応じた電流を出力する複数の光感応部分を同一面内にて隣接して配設することで1画素が構成され、2次元配列における第1の方向に配列された複数の画素にわたって、当該各画素を構成する複数の光感応部分のうち一方の光感応部分同士が電氣的に接続され、2次元配列における第2の方向に配列された複数の画素にわたって、当該各画素を構成

する複数の光感応部分のうち他方の光感応部分同士が電氣的に接続されており、光源により対象物に光が照射されている第1の期間にわたり第1の方向に配列された複数の画素間において電氣的に接続された一方の光感応部分群にて蓄積された電荷に対応する出力と、光源により対象物に光が照射されていない第2の期間にわたり一方の光感応部分群にて蓄積された電荷に対応する出力との差分に基づいて、第2の方向での輝度プロファイルを検出する第1信号処理回路と、第1の期間にわたり第2の方向に配列された複数の画素間において電氣的に接続された他方の光感応部分群にて蓄積された電荷に対応する出力と、第2の期間にわたり他方の光感応部分群にて蓄積された電荷に対応する出力との差分に基づいて、第1の方向での輝度プロファイルを検出する第2信号処理回路と、を有することを特徴とする。

【0007】 本発明に係る光検出装置では、1つの画素に入射した光は当該画素を構成する複数の光感応部分それぞれにおいて検出されて、光強度に応じた電流が光感応部分毎に出力される。そして、一方の光感応部分同士が2次元配列における第1の方向に配列された複数の画素にわたって電氣的に接続されているので、一方の光感応部分からの電流出力は第1の方向に送られる。また、他方の光感応部分同士が2次元配列における第2の方向に配列された複数の画素にわたって電氣的に接続されているので、他方の光感応部分からの電流出力は第2の方向に送られる。このように、一方の光感応部分からの電流出力は第1の方向に送られるとともに、他方の光感応部分からの電流出力は第2の方向に送られることから、第1の方向での輝度プロファイルと第2の方向での輝度プロファイルとをそれぞれ独立して得ることが可能となる。この結果、1画素に複数の光感応部分を配設するという極めて簡素な構成にて、入射した光の2次元位置を高速に検出することができる。

【0008】 また、本発明においては、第1信号処理回路により、上記第1の期間にわたり一方の光感応部分群にて蓄積された電荷に対応する出力と上記第2

の期間にわたり一方の光感応部分群にて蓄積された電荷に対応する出力との差分に基づいて、第2の方向での輝度プロファイルが検出されることとなる。これにより、光感応領域に背景光が入射した場合でも、背景光成分を除去した状態で、第2の方向での輝度プロファイルを検出することができる。また、第2信号処理回路により、上記第1の期間にわたり他方の光感応部分群にて蓄積された電荷に対応する出力と上記第2の期間にわたり他方の光感応部分群にて蓄積された電荷に対応する出力との差分に基づいて、第1の方向での輝度プロファイルが検出されることとなる。これにより、光感応領域に背景光が入射した場合でも、背景光成分を除去した状態で、第1の方向での輝度プロファイルを検出することができる。これらの結果、入射した光の2次元位置を極めて精度良く検出することができる。

【0009】 また、第1信号処理回路は、一方の光感応部分群からの電流出力を第2の方向に順次読み出すための第1シフトレジスタと、第1シフトレジスタにより順次読み出される各一方の光感応部分群からの電流出力を順次入力し、その電流出力を電圧出力に変換して出力する第1積分回路と、第1積分回路からの電圧出力の変化量に応じた電圧出力を出力する第1CDS（相関二重サンプリング；Correlated Double Sampling）回路と、第1CDS回路からの電圧出力をデジタル値に変換し、そのデジタル値を出力する第1A/D変換回路と、第1A/D変換回路から出力されたデジタル値に基づいて、第1の期間に対応したデジタル値と第2の期間に対応したデジタル値との差分を求める第1差分演算回路と、を含み、第2信号処理回路は、他方の光感応部分群からの電流出力を第1の方向に順次読み出すための第2シフトレジスタと、第2シフトレジスタにより順次読み出される各他方の光感応部分群からの電流出力を順次入力し、その電流出力を電圧出力に変換して出力する第2積分回路と、第2積分回路からの電圧出力の変化量に応じた電圧出力を出力する第2CDS回路と、第2CDS回路からの電圧出力をデジタル値に変換し、そのデジタル値を出力する第2A/D変換回路と、

第2 A/D変換回路から出力されたデジタル値に基づいて、第1の期間に対応したデジタル値と第2の期間に対応したデジタル値との差分を求める第2差分演算回路と、を含んでいることが好ましい。このように構成した場合、第1積分回路及び第2積分回路それぞれが積分動作ごとに異なるノイズばらつきを有していても、第1 CDS回路及び第2 CDS回路によりノイズ誤差が解消される。この結果、第1の方向での輝度プロファイルと第2の方向での輝度プロファイルとを高精度にて得ることができる。また、第1及び第2シフトレジスタそれぞれにより一方及び他方の光感応部分群それぞれからの電流出力を順次読み出して、A/D変換して差分を求めているので、第1及び第2信号処理回路の構成の簡素化及び低コスト化を図ることができる。

【0010】 また、第1信号処理回路は、第1 A/D変換回路と第1差分演算回路との間に設けられ、第1の期間に対応したデジタル値と第2の期間に対応したデジタル値とを記憶し、当該記憶したデジタル値を第1差分演算回路に出力する第1デジタルメモリを更に含み、第2信号処理回路は、第2 A/D変換回路と第2差分演算回路との間に設けられ、第1の期間に対応したデジタル値と第2の期間に対応したデジタル値とを記憶し、当該記憶したデジタル値を第2差分演算回路に出力する第2デジタルメモリを更に含んでいることが好ましい。このように構成した場合、第1及び第2差分演算回路において、第1の期間に対応したデジタル値と第2の期間に対応したデジタル値との差分の演算を適切且つ確実に行なわせることができる。

【0011】 また、第1信号処理回路は、一方の光感応部分群に対応して設けられ、対応する一方の光感応部分群からの電流出力を電圧出力に変換して出力する第1積分回路と、第1積分回路に対応して設けられ、対応する第1積分回路からの電圧出力を入力する入力端子と出力端子との間に順に設けられた第1結合容量素子および第1増幅器と、第1増幅器の入出力間に並列的に設けられた第1積分容量素子と、第1積分容量素子に電圧出力の変化量に応じた電荷量を蓄積させ

る第1スイッチ素子手段と、を有する第1CDS回路と、第1積分回路に対応して設けられ、対応する第1積分回路からの電圧出力を入力する入力端子と出力端子との間に順に設けられた第2結合容量素子および第2増幅器と、第1積分容量素子の容量値と等しい容量値を有し第2増幅器の入出力間に並列的に設けられた第2積分容量素子と、第2積分容量素子に電圧出力の変化量に応じた電荷量を蓄積させる第2スイッチ素子手段と、を有する第2CDS回路と、第1CDS回路及び第2CDS回路に対応して設けられ、対応する第1CDS回路の第1積分容量素子および対応する第2CDS回路の第2積分容量素子それぞれに蓄積されている電荷量の差分を求め、その差分に応じた電圧出力を出力する第1差分演算回路と、を含み、第2信号処理回路は、他方の光感応部分群に対応して設けられ、対応する他方の光感応部分群からの電流出力を電圧出力に変換して出力する第2積分回路と、第2積分回路に対応して設けられ、対応する第2積分回路からの電圧出力を入力する入力端子と出力端子との間に順に設けられた第3結合容量素子および第3増幅器と、第3増幅器の入出力間に並列的に設けられた第3積分容量素子と、第3積分容量素子に電圧出力の変化量に応じた電荷量を蓄積させる第3スイッチ素子手段と、を有する第3CDS回路と、第2積分回路に対応して設けられ、対応する第2積分回路からの電圧出力を入力する入力端子と出力端子との間に順に設けられた第4結合容量素子および第4増幅器と、第4積分容量素子の容量値と等しい容量値を有し第4増幅器の入出力間に並列的に設けられた第4積分容量素子と、第4積分容量素子に電圧出力の変化量に応じた電荷量を蓄積させる第4スイッチ素子手段と、を有する第4CDS回路と、第3CDS回路及び第4CDS回路に対応して設けられ、対応する第3CDS回路の第3積分容量素子および対応する第4CDS回路の第4積分容量素子それぞれに蓄積されている電荷量の差分を求め、その差分に応じた電圧出力を出力する第2差分演算回路と、を含んでいることが好ましい。このように構成した場合、一方の光感応部分群毎に第1差分演算回路が設けられ、他方の光感応部分群毎に第2差分演算回路が設

けられることとなるので、第1及び第2の方向での輝度プロファイルを高速で得ることができる。また、第1積分回路及び第2積分回路それぞれが積分動作毎に異なるノイズばらつきを有していても、第1～第4CDS回路それぞれによりノイズ誤差が解消される。また、第1の期間に、第1及び第3CDS回路の第1及び第3積分容量素子に光源からの信号光成分及び背景光成分に応じた電荷が蓄積され、第2の期間に、第2及び第4CDS回路の第2及び第4積分容量素子に背景光成分に応じた電荷が蓄積され、そして、両者の差分が第1及び第2差分演算回路で求められるので、第1及び第2差分演算回路からの電圧出力は、光源からの信号光成分のみに応じたものである。このように、光感応領域に入射する光の強度すなわち上記電圧出力の値が小さい場合であっても、輝度プロファイル検出のS/N比は優れたものとなる。

【0012】 また、第1信号処理回路は、第1差分演算回路に対応して設けられ、対応する第1差分演算回路からの電圧出力を保持して出力する第1サンプルアンドホールド回路と、第1サンプルアンドホールド回路それぞれからの電圧出力を順次に入力し、その電圧出力をデジタル値に変換して、そのデジタル値を出力する第1A/D変換回路と、を更に含み、第2信号処理回路は、第2差分演算回路に対応して設けられ、対応する第2差分演算回路からの電圧出力を保持して出力する第2サンプルアンドホールド回路と、第2サンプルアンドホールド回路それぞれからの電圧出力を順次に入力し、その電圧出力をデジタル値に変換して、そのデジタル値を出力する第2A/D変換回路と、を更に含んでいることが好ましい。このように構成した場合、第1及び第2の方向での輝度プロファイルをデジタル値として出力することができる。

【0013】 また、第1信号処理回路は、一方の光感応部分群に対応して設けられ、対応する一方の光感応部分群からの電流出力を入力する入力端子と出力端子との間に並列的に設けられた第1容量素子及び第2容量素子を有し、一方の光感応部分群にて第1の期間にわたり蓄積された電荷に対応した電流出力に応じて

電荷を第 1 容量素子に蓄積し、一方の光感応部分群にて第 2 の期間にわたり蓄積された電荷に対応した電流出力に応じて電荷を第 2 容量素子に蓄積する第 1 電荷蓄積回路と、第 1 電荷蓄積回路に対応して設けられ、第 1 容量素子及び第 2 容量素子それぞれに蓄積されている電荷量の差分を求め、その差分に応じた電圧出力を出力する第 1 差分演算回路と、を含み、第 2 信号処理回路は、他方の光感応部分群に対応して設けられ、対応する他方の光感応部分群からの電流出力を入力する入力端子と出力端子との間に並列的に設けられた第 3 容量素子及び第 4 容量素子を有し、他方の光感応部分群にて第 1 の期間にわたり蓄積された電荷に対応した電流出力に応じて電荷を第 3 容量素子に蓄積し、他方の光感応部分群にて第 2 の期間にわたり蓄積された電荷に対応した電流出力に応じて電荷を第 4 容量素子に蓄積する第 2 電荷蓄積回路と、第 2 電荷蓄積回路に対応して設けられ、第 3 容量素子及び第 4 容量素子それぞれに蓄積されている電荷量の差分を求め、その差分に応じた電圧出力を出力する第 2 差分演算回路と、を含んでいることが好ましい。このように構成した場合、第 1 電荷蓄積回路により、対応する一方の光感応部分群にて第 1 の期間にわたり蓄積された電荷に対応した電流出力に応じて電荷が第 1 容量素子に蓄積され、対応する一方の光感応部分群にて第 2 の期間にわたり蓄積された電荷に対応した電流出力に応じて電荷が第 2 容量素子に蓄積され、第 1 差分演算回路により、第 1 容量素子及び第 2 容量素子それぞれに蓄積されている電荷量の差分が求められ、その差分に応じた電圧出力が出力される。また、第 2 電荷蓄積回路により、対応する他方の光感応部分群にて第 1 の期間にわたり蓄積された電荷に対応した電流出力に応じて電荷が第 3 容量素子に蓄積され、対応する他方の光感応部分群にて第 2 の期間にわたり蓄積された電荷に対応した電流出力に応じて電荷が第 4 容量素子に蓄積され、第 2 差分演算回路により、第 3 容量素子及び第 4 容量素子それぞれに蓄積されている電荷量の差分が求められ、その差分に応じた電圧出力が出力される。これにより、第 1 及び第 2 信号処理回路の構成の簡素化及び低コスト化を図ることができる。

【0014】 また、第1信号処理回路は、第1容量素子及び第2容量素子から当該第1容量素子及び第2容量素子に蓄積されている電荷に対応した電流出力を順次入力し、その電流出力を電圧出力に変換して第1差分演算回路に出力する第1積分回路と、第1差分演算回路からの電圧出力を順次入力し、その電圧出力をデジタル値に変換し、そのデジタル値を出力する第1A/D変換回路と、を更に含み、第2信号処理回路は、第3容量素子及び第4容量素子から当該第3容量素子及び第4容量素子に蓄積されている電荷に対応した電流出力を順次入力し、その電流出力を電圧出力に変換して第2差分演算回路に出力する第2積分回路と、第2差分演算回路からの電圧出力を順次入力し、その電圧出力をデジタル値に変換し、そのデジタル値を出力する第2A/D変換回路と、を更に含んでいることが好ましい。このように構成した場合、第1及び第2の方向での輝度プロファイルをデジタル値として出力することができる。

【0015】 本発明に係る光検出装置は、対象物に光を照射する光源とともに用いられ、画素が2次元配列された光感応領域を有する光検出装置であって、各々入射した光の強度に応じた電流を出力する複数の光感応部分を同一面内にて隣接して配設することで1画素が構成され、2次元配列における第1の方向に配列された複数の画素にわたって、当該各画素を構成する複数の光感応部分のうち一方の光感応部分同士が電氣的に接続され、2次元配列における第2の方向に配列された複数の画素にわたって、当該各画素を構成する複数の光感応部分のうち他方の光感応部分同士が電氣的に接続されており、第1の方向に配列された複数の画素間において電氣的に接続された一方の光感応部分群に対応して設けられ、光源により対象物に光が照射されている第1の期間における一方の光感応部分群からの電流出力から、光源により対象物に光が照射されていない第2の期間における一方の光感応部分群からの電流出力を除去して、出力する第1除去回路と、第1除去回路に対応して設けられ、対応する第1除去回路からの電流出力に応じて電荷を蓄積して、その蓄積された電荷の量に応じた電圧出力を出力する第1積分回

路と、第2の方向に配列された複数の画素間において電氣的に接続された他方の光感応部分群に対応して設けられ、第1の期間における他方の光感応部分群からの電流出力から、第2の期間における他方の光感応部分群からの電流出力を除去して、出力する第2除去回路と、第2除去回路に対応して設けられ、対応する第2除去回路からの電流出力に応じて電荷を蓄積して、その蓄積された電荷の量に応じた電圧出力を出力する第2積分回路と、を有することを特徴とする。

【0016】 本発明に係る光検出装置では、1つの画素に入射した光は当該画素を構成する複数の光感応部分それぞれにおいて検出されて、光強度に応じた電流が光感応部分毎に出力される。そして、一方の光感応部分同士が2次元配列における第1の方向に配列された複数の画素にわたって電氣的に接続されているので、一方の光感応部分からの電流出力は第1の方向に送られる。また、他方の光感応部分同士が2次元配列における第2の方向に配列された複数の画素にわたって電氣的に接続されているので、他方の光感応部分からの電流出力は第2の方向に送られる。このように、一方の光感応部分からの電流出力は第1の方向に送られるとともに、他方の光感応部分からの電流出力は第2の方向に送られることから、第1の方向での輝度プロファイルと第2の方向での輝度プロファイルとをそれぞれ独立して得ることが可能となる。この結果、1画素に複数の光感応部分を配設するという極めて簡素な構成にて、入射した光の2次元位置を高速に検出することができる。

【0017】 また、本発明においては、第1除去回路により、上記第1の期間における一方の光感応部分群からの電流出力から、上記第2の期間における一方の光感応部分群からの電流出力が除去されることとなる。これにより、光感応領域に背景光が入射した場合でも、背景光成分を除去した状態で、第2の方向での輝度プロファイルを検出することができる。また、第2除去回路により、上記第1の期間における他方の光感応部分群からの電流出力から、上記第2の期間における他方の光感応部分群からの電流出力が除去されることとなる。これにより、

光感応領域に背景光が入射した場合でも、背景光成分を除去した状態で、第1の方向での輝度プロファイルを検出することができる。これらの結果、入射した光の2次元位置を極めて精度良く検出することができる。

【0018】 また、第1除去回路は、ソース端子が一方の光感応部分に接続され、ドレイン端子が接地された第1MOSトランジスタと、一方の端子が第1MOSトランジスタのゲート端子と接続され、他方の端子が接地された第1容量素子と、一方の端子が第1MOSトランジスタのゲート端子と接続され、他方の端子が第1積分回路の出力と接続された第1スイッチ素子と、を含み、第2除去回路は、ソース端子が他方の光感応部分に接続され、ドレイン端子が接地された第2MOSトランジスタと、一方の端子が第2MOSトランジスタのゲート端子と接続され、他方の端子が接地された第2容量素子と、一方の端子が第2MOSトランジスタのゲート端子と接続され、他方の端子が第2積分回路の出力と接続された第2スイッチ素子と、を含んでいることが好ましい。このように構成した場合、上記第1及び第2除去回路を簡易且つ低コストにて構成することができる。

【0019】 また、第1積分回路に対応して設けられ、当該第1積分回路からの電圧出力のうちの第2の期間に対応した電圧出力を保持するとともに、当該第1積分回路からの電圧出力のうちの第1の期間に対応した電圧出力との差分に応じた電圧出力を出力する第1差分演算回路と、第1差分演算回路に対応して設けられ、対応する第1差分演算回路からの電圧出力を保持して出力する第1サンプルアンドホールド回路と、第1サンプルアンドホールド回路それぞれからの電圧出力を順次入力し、その電圧出力をデジタル値に変換し、そのデジタル値を出力する第1A/D変換回路と、第2積分回路に対応して設けられ、当該第2積分回路からの電圧出力のうちの第2の期間に対応した電圧出力を保持するとともに、当該第2積分回路からの電圧出力のうちの第1の期間に対応した電圧出力との差分に応じた電圧出力を出力する第2差分演算回路と、第2差分演算回路に対応して設けられ、対応する第2差分演算回路からの電圧出力を保持して出力する第2

サンプルアンドホールド回路と、第2サンプルアンドホールド回路それぞれからの電圧出力を順次入力し、その電圧出力をデジタル値に変換し、そのデジタル値を出力する第2 A/D変換回路と、を更に有することが好ましい。このように構成した場合、第1の方向での輝度プロファイルと第2の方向での輝度プロファイルとをより一層高精度にて得ることができる。また、第1及び第2の方向での輝度プロファイルをデジタル値として出力することができる。

図面の簡単な説明

【0020】 図1は、第1実施形態に係る光検出装置を示す概念構成図である。

【0021】 図2は、第1実施形態に係る光検出装置に含まれる光感応領域の一例を示す要部拡大平面図である。

【0022】 図3は、図2のI I I—I I I線に沿った断面図である。

【0023】 図4は、第1実施形態に係る光検出装置に含まれる光感応領域の一例を示す要部拡大平面図である。

【0024】 図5は、第1実施形態に係る光検出装置に含まれる光感応領域の一例を示す要部拡大平面図である。

【0025】 図6は、第1実施形態に係る光検出装置に含まれる光感応領域の一例を示す要部拡大平面図である。

【0026】 図7は、第1実施形態に係る光検出装置に含まれる光感応領域の一例を示す要部拡大平面図である。

【0027】 図8は、第1実施形態に係る光検出装置に含まれる光感応領域の一例を示す要部拡大平面図である。

【0028】 図9は、第1実施形態に係る光検出装置に含まれる第1信号処理回路を示す概略構成図である。

【0029】 図10は、第1実施形態に係る光検出装置に含まれる第2信号処理回路を示す概略構成図である。

【0030】 図11は、第1信号処理回路に含まれる第1積分回路の回路図で

ある。

【0031】 図12は、第1信号処理回路に含まれる第1CDS回路の回路図である。

5 【0032】 図13Aは、第1シフトレジスタに入力されるスタート信号の経時的変化を示すグラフである。

【0033】 図13Bは、第1シフトレジスタに入力される信号の経時的変化を示すグラフである。

【0034】 図13Cは、第1シフトレジスタに入力される信号の経時的変化を示すグラフである。

10 【0035】 図13Dは、第1積分回路に入力されるリセット信号の経時的変化を示すグラフである。

【0036】 図13Eは、第1シフトレジスタから出力される信号の経時的変化を示すグラフである。

15 【0037】 図13Fは、第1シフトレジスタから出力される信号の経時的変化を示すグラフである。

【0038】 図13Gは、第1シフトレジスタから出力される信号の経時的変化を示すグラフである。

【0039】 図13Hは、第1シフトレジスタから出力される信号の経時的変化を示すグラフである。

20 【0040】 図13Iは、第1積分回路から出力される電圧の経時的変化を示すグラフである。

【0041】 図14Aは、第2シフトレジスタに入力されるスタート信号の経時的変化を示すグラフである。

25 【0042】 図14Bは、第2シフトレジスタに入力される信号の経時的変化を示すグラフである。

【0043】 図14Cは、第2シフトレジスタに入力される信号の経時的変化

を示すグラフである。

【0044】 図14Dは、第2積分回路に入力されるリセット信号の経時的変化を示すグラフである。

5 【0045】 図14Eは、第2シフトレジスタから出力される信号の経時的変化を示すグラフである。

【0046】 図14Fは、第2シフトレジスタから出力される信号の経時的変化を示すグラフである。

【0047】 図14Gは、第2シフトレジスタから出力される信号の経時的変化を示すグラフである。

10 【0048】 図14Hは、第2シフトレジスタから出力される信号の経時的変化を示すグラフである。

【0049】 図14Iは、第2積分回路から出力される電圧の経時的変化を示すグラフである。

15 【0050】 図15Aは、第1シフトレジスタ及び第1A/D変換回路に入力されるスタート信号の経時的変化を示すグラフである。

【0051】 図15Bは、第1差分演算回路に入力されるスタート信号の経時的変化を示すグラフである。

【0052】 図15Cは、タイミング制御回路から出力される制御信号LEDの経時的変化を示すグラフである。

20 【0053】 図15Dは、第1A/D変換回路の出力の経時的変化を示すグラフである。

【0054】 図15Eは、第1差分演算回路の出力の経時的変化を示すグラフである。

25 【0055】 図16Aは、第2シフトレジスタ及び第2A/D変換回路に入力されるスタート信号の経時的変化を示すグラフである。

【0056】 図16Bは、第2差分演算回路に入力されるスタート信号の経時

的变化を示すグラフである。

【0057】 図16Cは、タイミング制御回路から出力される制御信号LEDの経時的変化を示すグラフである。

5 【0058】 図16Dは、第2A/D変換回路の出力の経時的変化を示すグラフである。

【0059】 図16Eは、第2差分演算回路の出力の経時的変化を示すグラフである。

【0060】 図17は、第2実施形態に係る光検出装置に含まれる第1信号処理回路を示す概略構成図である。

10 【0061】 図18は、第2実施形態に係る光検出装置に含まれる第2信号処理回路を示す概略構成図である。

【0062】 図19は、第1信号処理回路に含まれる第1CDS回路、第2CDS回路及び第1差分演算回路の回路図である。

15 【0063】 図20は、第1信号処理回路に含まれる第1サンプルアンドホールド回路の回路図である。

【0064】 図21は、第1信号処理回路の動作を説明するためのタイミングチャートである。

【0065】 図22は、第3実施形態に係る光検出装置に含まれる第1信号処理回路を示す概略構成図である。

20 【0066】 図23は、第3実施形態に係る光検出装置に含まれる第2信号処理回路を示す概略構成図である。

【0067】 図24は、第1信号処理回路に含まれる第1電荷蓄積回路の回路図である。

25 【0068】 図25は、第1信号処理回路に含まれる第1積分回路の回路図である。

【0069】 図26は、第1信号処理回路に含まれる第1差分演算回路の回路

図である。

【0070】 図27は、第1信号処理回路の動作を説明するためのタイミングチャートである。

5 【0071】 図28は、第4実施形態に係る光検出装置に含まれる第1信号処理回路を示す概略構成図である。

【0072】 図29は、第4実施形態に係る光検出装置に含まれる第2信号処理回路を示す概略構成図である。

【0073】 図30は、第1信号処理回路に含まれる第1積分回路、第1除去回路及び第1差分演算回路の回路図である。

10 【0074】 図31は、第1信号処理回路の動作を説明するためのタイミングチャートである。

【0075】 図32は、本実施形態に係る光検出装置の変形例を示す概念構成図である。

発明を実施するための最良の形態

15 【0076】 本発明の実施形態に係る光検出装置について図面を参照して説明する。なお、説明において、同一要素又は同一機能を有する要素には、同一符号を用いることとし、重複する説明は省略する。以下では、パラメータMおよびNそれぞれを2以上の整数とする。また、特に明示しない限りは、パラメータmを1以上M以下の任意の整数とし、パラメータnを1以上N以下の任意の整数とする。

20

【0077】 (第1実施形態)

25 【0078】 図1は、本第1実施形態に係る光検出装置を示す概念構成図である。本実施形態に係る光検出装置1は、図1に示されるように、対象物に光を照射する光源3とともに用いられ、光感応領域10と、第1信号処理回路20と、第2信号処理回路30と、タイミング制御回路50とを有している。光検出装置1は、例えば、光源3が有する発光素子(LED、半導体レーザ等)5から対象

物に照射されるスポット光の直接光あるいは反射光の入射位置を検出するものである。光源 3 は、タイミング制御回路 50 からの制御信号により開閉するスイッチ素子 7 を有しており、スイッチ素子 7 が閉じることにより発光素子 5 が点灯することとなる。

5 【0079】 光感応領域 10 は、画素 11_{mn} が M 行 N 列に 2 次元配列されている。1 画素は、各々に入射した光の強度に応じた電流を出力する光感応部分 12_{mn} (第 1 光感応部分) 及び光感応部分 13_{mn} (第 2 光感応部分)) を同一面内にて隣接して配設することで構成されている。これにより、光感応領域 10 において、光感応部分 12_{mn} と光感応部分 13_{mn} とは 2 次的に混在した状態で同一面内にて配列されることとなる。

10 【0080】 2 次元配列における第 1 の方向に配列された複数の画素 11₁₁ ~ 11_{1N}, 11₂₁ ~ 11_{2N}, ..., 11_{M1} ~ 11_{MN} にわたって、当該各画素 11_{mn} を構成する複数の光感応部分 12_{mn}, 13_{mn} のうち一方の光感応部分 12_{mn} 同士 (たとえば、一方の光感応部分 12₁₁ ~ 12_{1N}) が互いに電氣的に接続されている。また、
15 2 次元配列における第 2 の方向に配列された複数の画素 11₁₁ ~ 11_{M1}, 11₁₂ ~ 11_{M2}, ..., 11_{1N} ~ 11_{MN} にわたって、当該各画素 11_{mn} を構成する複数の光感応部分 12_{mn}, 13_{mn} のうち他方の光感応部分 13_{mn} 同士 (たとえば、他方の光感応部分 13₁₁ ~ 13_{M1}) が互いに電氣的に接続されている。

20 【0081】 ここで、図 2 及び図 3 に基づいて、光感応領域 10 の構成について説明する。図 2 は、光検出装置に含まれる光感応領域の一例を示す要部拡大平面図であり、図 3 は、図 2 の I I I - I I I 線に沿った断面図である。なお、図 2 においては、保護層 48 の図示を省略している。

25 【0082】 光感応領域 10 は、P 型 (第 1 導電型) の半導体からなる半導体基板 40 と、当該半導体基板 40 の表層に形成された N 型 (第 2 導電型) の半導体領域 41, 42 とを含んでいる。これにより、各光感応部分 12_{mn}, 13_{mn} は半導体基板 40 部分と一組の第 2 導電型半導体領域 41, 42 とを含み、フォトダ

イオードが構成されることとなる。第2導電型半導体領域41, 42は、図2に示されるように、光入射方向から見て略三角形状を呈しており、1画素において2つの領域41, 42が互いに一辺が隣接して形成されている。半導体基板40は、接地電位とされている。なお、光感応領域10は、N型の半導体からなる半導体基板と、当該半導体基板の表層に形成されたP型の半導体領域とを含んで構成されていてもよい。領域41（光感応部分12_{mn}）と領域42（光感応部分13_{mn}）とは、図2から分かるように、第1の方向及び第2の方向において交互に配列されている。また、領域41（光感応部分12_{mn}）と領域42（光感応部分13_{mn}）とは、第1の方向と第2の方向とに交差する（たとえば、45°にて交差する）第3の方向及び第4の方向において交互に配列されている。

【0083】 半導体基板40と領域41, 42の上には第1絶縁層43が形成され、この第1絶縁層43に形成されたコンタクトホールを介して第1配線44が一方の領域41に電氣的に接続されている。また、第1絶縁層43に形成されたコンタクトホールを介して電極45が他方の領域42に電氣的に接続されている。

【0084】 第1絶縁層43の上には第2絶縁層46が形成され、この第2絶縁層46に形成されたコンタクトホールを介して第2配線47が電極45に電氣的に接続されている。これにより、他方の領域42は、電極45を介して第2配線47に電氣的に接続されることになる。

【0085】 第2絶縁層46の上には保護層48が形成されている。第1絶縁層43、第2絶縁層46及び保護層48は、SiO₂又はSiN等からなる。第1配線44、電極45及び第2配線47は、Al等の金属からなる。

【0086】 第1配線44は、各画素11_{mn}における一方の領域41を第1の方向にわたって電氣的に接続するものであって、画素11_{mn}間を第1の方向に延びて設けられている。このように、各画素11_{mn}における一方の領域41を第1配線44で接続することにより、2次元配列における第1の方向に配列された複

数の画素 $1\ 1_{11} \sim 1\ 1_{1N}$, $1\ 1_{21} \sim 1\ 1_{2N}$, \dots , $1\ 1_{M1} \sim 1\ 1_{MN}$ にわたって一方の光感応部分 $1\ 2_m$ 同士（たとえば、一方の光感応部分 $1\ 2_{11} \sim 1\ 2_{1N}$ ）が電氣的に接続されて、光感応領域 10 において第 1 の方向に長く延びる光感応部が構成される。この第 1 の方向に長く延びる光感応部は M 列形成されることになる。

5 【0087】 第 2 配線 47 は、各画素 $1\ 1_m$ における他方の領域 42 を第 2 の方向にわたって電氣的に接続するものであって、画素 $1\ 1_m$ 間を第 2 の方向に延びて設けられている。このように、各画素 $1\ 1_m$ における他方の領域 42 を第 2 配線 47 で接続することにより、2 次元配列における第 2 の方向に配列された複数の画素 $1\ 1_{11} \sim 1\ 1_{M1}$, $1\ 1_{12} \sim 1\ 1_{M2}$, \dots , $1\ 1_{1N} \sim 1\ 1_{MN}$ にわたって他方の
10 光感応部分 $1\ 3_m$ 同士（たとえば、他方の光感応部分 $1\ 3_{11} \sim 1\ 3_{M1}$ ）が電氣的に接続されて、光感応領域 10 において第 2 の方向に長く延びる光感応部が構成される。この第 2 の方向に長く延びる光感応部は N 行形成されることになる。

15 【0088】 また、光感応領域 10 においては、上述した第 1 の方向に長く延びる M 列の光感応部と第 2 の方向に長く延びる N 行の光感応部とが同一面上に形成されることになる。

20 【0089】 領域 41, 42 の形状は、図 2 に示された略三角形のものに限られず、図 4～図 8 に示されるように、他の形状であってもよい。

25 【0090】 図 4 に示された第 2 導電型半導体領域（光感応部分）は、光入射方向から見て長方形を呈しており、1 画素において 2 つの領域 41, 42 が互いに長辺が隣接して形成されている。領域 41（光感応部分 $1\ 2_m$ ）と領域 42（光感応部分 $1\ 3_m$ ）とは、第 2 の方向において交互に配列されている。図 4 に示されるように、1 画素あたり第 1 の方向と第 2 の方向の第 2 導電型半導体領域の面積が異なっているが、画素間で夫々の方向ごとに一定であればよい。すなわち、同一の方向に延びる全ての配線で各々に接続されている光感応領域の総面積が同じであればよい。

30 【0091】 図 5 に示された第 2 導電型半導体領域（光感応部分）は、略三角

形状を呈した一方の領域 4 1 が第 1 の方向に連続して形成されている。他方の領域 4 2 は略三角形状を呈しており、各画素 1 1_{mn} 間で独立して形成されている。領域 4 1 (光感応部分 1 2_{mn}) と領域 4 2 (光感応部分 1 3_{mn}) とは、第 2 の方向において交互に配列されている。なお、一方の領域 4 1 を第 1 の方向に連続して形成した場合、必ずしも第 1 配線 4 4 を設ける必要はないが、直列抵抗の増加に伴って読み出し速度が低下することが考えられることから、第 1 配線 4 4 にて各領域 4 1 を電氣的に接続するのが好ましい。

【0092】 図 6 に示された第 2 導電型半導体領域 (光感応部分) は、1 画素あたり 4 つの領域 4 1 a, 4 1 b, 4 2 a, 4 2 b からなり、対角に位置する領域を対として、第 1 配線 4 4 あるいは第 2 配線 4 7 にて電氣的に接続されている。領域 4 1 (光感応部分 1 2_{mn}) と領域 4 2 (光感応部分 1 3_{mn}) とは、第 1 の方向及び第 2 の方向において交互に配列されている。また、領域 4 1 (光感応部分 1 2_{mn}) と領域 4 2 (光感応部分 1 3_{mn}) とは、第 3 の方向及び第 4 の方向において交互に配列されている。

【0093】 図 7 に示された第 2 導電型半導体領域 (光感応部分) は、2 つの櫛状の領域 4 1, 4 2 がお互い噛み合うように形成されている。

【0094】 図 8 に示された第 2 導電型半導体領域 (光感応部分) は、光入射方向から見て 4 角形以上の多角形状 (たとえば 8 角形状) を呈しており、1 画素において 1 辺が隣接して形成されている。そして、領域 4 1 と領域 4 2 とは、1 画素において第 1 の方向と第 2 の方向とに交差する第 3 の方向に並設されており、光入射方向から見てハニカム状に配列されている。すなわち、領域 4 1 (光感応部分 1 2_{mn}) と領域 4 2 (光感応部分 1 3_{mn}) とは、第 3 の方向及び第 4 の方向において交互に配列されている。

【0095】 続いて、図 9 及び図 10 に基づいて、第 1 信号処理回路 20 及び第 2 信号処理回路 30 の構成について説明する。図 9 は、第 1 信号処理回路を示す概略構成図であり、図 10 は、第 2 信号処理回路を示す概略構成図である。

【0096】 第1信号処理回路20は、光源3により対象物にスポット光が照射されている第1の期間にわたり第1の方向に配列された複数の画素 $1\ 1_{11} \sim 1\ 1_{1N}$, $1\ 1_{21} \sim 1\ 1_{2N}$, \dots , $1\ 1_{M1} \sim 1\ 1_{MN}$ 間において電氣的に接続された一方の光感応部分 $1\ 2_m$ 群（一方の第2導電型半導体領域41からなり、第1の方向に長く延びるM列の光感応部）にて蓄積された電荷に対応する出力と、光源3により対象物にスポット光が照射されていない第2の期間にわたり一方の光感応部分 $1\ 2_m$ 群にて蓄積された電荷に対応する出力との差分に基づいて、第2の方向での輝度プロファイルを検出する。第1信号処理回路20は、図9に示されるように、第1の方向に配列された複数の画素 $1\ 1_{11} \sim 1\ 1_{1N}$, $1\ 1_{21} \sim 1\ 1_{2N}$, \dots , $1\ 1_{M1} \sim 1\ 1_{MN}$ 間において電氣的に接続された一方の光感応部分 $1\ 2_m$ 群に対応して設けられた第1スイッチ素子21と、第1の方向に配列された複数の画素 $1\ 1_{11} \sim 1\ 1_{1N}$, $1\ 1_{21} \sim 1\ 1_{2N}$, \dots , $1\ 1_{M1} \sim 1\ 1_{MN}$ 間において電氣的に接続された一方の光感応部分 $1\ 2_m$ 群からの電流を第2の方向に順次読み出すための第1シフトレジスタ22と、第1シフトレジスタ22により順次読み出される各一方の光感応部分 $1\ 2_m$ 群からの電流出力を順次入力し、その電流出力を電圧出力に変換して出力する第1積分回路23とを有している。また、第1信号処理回路20は、第1CDS回路24、第1A/D変換回路25、第1デジタルメモリ26、第1差分演算回路27とを有している。

【0097】 第1スイッチ素子21は、第1シフトレジスタ22から出力される信号 $s\ h\ i\ f\ t\ (H_m)$ により制御されて順次閉じられる。第1スイッチ素子21を閉じることにより、第1の方向に配列された複数の画素 $1\ 1_{11} \sim 1\ 1_{1N}$, $1\ 1_{21} \sim 1\ 1_{2N}$, \dots , $1\ 1_{M1} \sim 1\ 1_{MN}$ 間において電氣的に接続された一方の光感応部分 $1\ 2_m$ 群に蓄積された電荷が電流出力となって、第1配線44及び第1スイッチ素子21を介して第1積分回路23に出力される。第1シフトレジスタ22は、タイミング制御回路50から出力される信号 Φ_{H1} , Φ_{H2} , Φ_{Hst1} によりその動作が制御されて、第1スイッチ素子21を順次閉じる。

【0098】 第1積分回路23は、図11に示されるように、第1の方向に配
列された複数の $11_{11} \sim 11_{1N}$, $11_{21} \sim 11_{2N}$, \dots , $11_{M1} \sim 11_{MN}$ 間において
電氣的に接続された一方の光感応部分 12_m 群からの電流出力を入力し、入力し
た電流出力の電荷を増幅するアンプ A_1 と、アンプ A_1 の入力端子に一方の端子が
5 接続され、アンプ A_1 の出力端子に他方の端子が接続された容量素子 C_1 と、ア
ンプ A_1 の入力端子に一方の端子が接続され、アンプ A_1 の出力端子に他方の端子が
接続され、タイミング制御回路50から出力されるリセット信号 Φ_{Hreset} （図示せ
ず）が有意の場合には「ON」状態となり、リセット信号 Φ_{Hreset} が非有意の場合
には「OFF」状態となるスイッチ素子 SW_1 とを有している。

【0099】 第1積分回路23は、スイッチ素子 SW_1 が「ON」状態であると
ときには、容量素子 C_1 を放電して初期化する。一方、第1積分回路23は、スイッ
チ素子 SW_1 が「OFF」状態であるときには、第1の方向に配列された複数の画
素 $11_{11} \sim 11_{1N}$, $11_{21} \sim 11_{2N}$, \dots , $11_{M1} \sim 11_{MN}$ 間において電氣的に接続
された一方の光感応部分 12_m 群から入力端子に入力した電荷を容量素子 C_1 に
15 蓄積して、その蓄積された電荷に応じた電圧出力を出力端子から出力する。

【0100】 ここで、図13A～図13Iに基づいて、第1スイッチ素子21、
第1シフトレジスタ22、第1積分回路23との動作について説明する。図13
A～図13Iは、第1信号処理回路における第1スイッチ素子、第1シフトレジ
スタ及び第1積分回路の動作を説明するためのタイミングチャートである。

【0101】 タイミング制御回路50から第1シフトレジスタ22にスタート
信号 Φ_{Hst1} が入力されると（図13A参照）、信号 Φ_{H2} の立ち上がりから信号 Φ_{H1}
の立下りまでの期間に対応したパルス幅を有する信号 $shift(H_m)$ が順次出
力される（図13B、図13C、及び図13E～図13H参照）。第1シフトレジ
スタ22から対応する第1スイッチ素子21に $shift(H_m)$ が出力されると、
25 第1スイッチ素子21が順次閉じ、対応する一方の光感応部分 12_m 群に蓄積さ
れた電荷が電流出力となって第1積分回路23に順次出力される。

【0102】 第1積分回路23には、タイミング制御回路50からリセット信号 Φ_{Hreset} が入力されている（図13D参照）。リセット信号 Φ_{Hreset} が「OFF」状態の期間、対応する一方の光感応部分12_m群に蓄積された電荷が容量素子C₁に蓄積されて、蓄積された電荷量に応じた電圧出力が第1積分回路23から順次出力される（図13I参照）。なお、第1積分回路23は、リセット信号 Φ_{Hreset} が「ON」状態のときにはスイッチ素子SW₁を閉じて容量素子C₁を初期化する。

【0103】 このように、第1積分回路23からは、第1の方向に配列された複数の画素11₁₁～11_{1N}、11₂₁～11_{2N}、・・・、11_{M1}～11_{MN}間において電氣的に接続された一方の光感応部分12_m群にて蓄積された電荷に対応した電圧出力が、対応する一方の光感応部分12_m群毎に順次時系列データとして出力される。この時系列データは、第2の方向での輝度プロファイル（アナログデータ）を示すものである。

【0104】 再び、図9を参照する。第1CDS回路24は、第1積分回路23からの電圧出力の変化量に応じた電圧出力を出力する。第1CDS回路24は、図12に示されるように、入力端子と出力端子との間に順にスイッチ素子SW₂₁、結合容量素子C₂₁およびアンプA₂を有している。また、アンプA₂の入出力間にスイッチ素子SW₂₂および積分容量素子C₂₂が互いに並列的に接続されている。スイッチ素子SW₂₂およびSW₂₁は、積分容量素子C₂₂に電荷を蓄積させるためのスイッチ素子手段として作用する。第1CDS回路24は、スイッチ素子SW₂₂が閉じているときには、積分容量素子C₂₂を放電して初期化する。スイッチ素子SW₂₂が開きスイッチ素子SW₂₁が閉じているときには、入力端子から結合容量素子C₂₁を経て入力した電荷を積分容量素子C₂₂に蓄積して、その蓄積された電荷に応じた電圧出力を出力端子から出力する。スイッチ素子SW₂₁は、タイミング制御回路50から出力されるCSW21信号に基づいて開閉する。また、スイッチ素子SW₂₂は、タイミング制御回路50から出力されるClamp1信号に基づいて開閉する。

【0105】 第1A/D変換回路25は、第1CDS回路24からの電圧出力

(アナログ値)を順次入力し、その電圧出力をデジタル値に変換し、そのデジタル値を出力する。第1 A/D変換回路25には、タイミング制御回路50からクロックパルス信号(図示せず)、スタート信号 Φ_{Hst1} が入力されており、これらの信号に基づいて動作する。第1 A/D変換回路25から出力されるデジタル値は、
5 第2の方向での輝度プロファイル(デジタルデータ)を表す出力となる。

【0106】 第1デジタルメモリ26は、第1 A/D変換回路25から出力されたデジタル値のうちの第1の期間に対応したデジタル値(上記第1の期間にわたり一方の光感応部分12_{mn}群にて蓄積された電荷に対応する電流出力を電圧出力(アナログ値)とし、当該電圧出力をA/D変換した値)と、同じく第2の期間に対応したデジタル値(上記第2の期間にわたり一方の光感応部分12_{mn}群にて蓄積された電荷に対応する電流出力を電圧出力(アナログ値)とし、当該電圧出力をA/D変換した値)とを記憶し、当該記憶したデジタル値を第1差分演算回路27に出力する。第1デジタルメモリ26には、タイミング制御回路50からスタート信号 Φ_{Hst1} 、 Φ_{Hst2} (図示せず)が入力されており、これらの信号に基づいて動作する。
15

【0107】 上記第1の期間は、光源3が点灯している、即ちタイミング制御回路50からの制御信号に基づいてスイッチ素子7が閉じられ、発光素子5からスポット光が照射されている期間である。したがって、第1 A/D変換回路25から出力されたデジタル値のうちの第1の期間に対応したデジタル値は、発光素子5からのスポット光成分(信号光成分)と背景光成分(例えば、蛍光灯や太陽等からの光)とを含んだ第2の方向での輝度プロファイルを表す出力となっている。
20

【0108】 上記第2の期間は、光源3が点灯していない、即ちタイミング制御回路50からの制御信号に基づいてスイッチ素子7が開かれ、発光素子5からスポット光が照射されていない期間である。したがって、第1 A/D変換回路25から出力されたデジタル値のうちの第1の期間に対応したデジタル値は、背景
25

光成分（例えば、蛍光灯や太陽等からの光）のみを含んだ第2の方向での輝度プロファイルを表す出力となっている。

【0109】 第1差分演算回路27は、第1デジタルメモリ26から出力された第1の期間に対応したデジタル値と第2の期間に対応したデジタル値との差分を求め、当該差分に対応するデジタル値を出力する。したがって、第1差分演算回路27から出力されるデジタル値は、背景光成分が除去され、スポット光成分のみを含んだ第2の方向での輝度プロファイルを表す出力となる。

【0110】 ここで、図15A～図15Eに基づいて、第1差分演算回路27の動作を説明する。図15A～図15Eは、第1信号処理回路における第1差分演算回路の動作を説明するためのタイミングチャートである。なお、図15D及び図15Eにおいては、説明のため、第1A/D変換回路及び第1差分演算回路のデジタル出力をアナログ出力の形態で示している。

【0111】 タイミング制御回路50からの制御信号LEDが「ハイ」である所定の期間にわたりスイッチ素子7が閉じられると（図15C参照）、当該所定の期間に対応した期間だけ発光素子5からスポット光が照射される。そして、スタート信号 Φ_{Hst1} に同期して、上述したように、第1積分回路23から電圧出力が出力され、第1A/D変換回路25からデジタル値が順次出力される（図15A及び図15D参照）。第1A/D変換回路25から出力されたデジタル値は、上記第1及び第2の期間に対応するデジタル値ごとに、第1デジタルメモリ26に記憶される。第1差分演算回路27は、タイミング制御回路50から出力されたスタート信号 Φ_{Hst2} に同期して、第1デジタルメモリ26に記憶されている第1の期間に対応したデジタル値と第2の期間に対応したデジタル値とを読み出し、その差分を求め、差分に応じたデジタル値を出力する（図15B及び図15E参照）。

【0112】 第2信号処理回路30は、光源3により対象物にスポット光が照射されている第1の期間にわたり第2の方向に配列された複数の $11_{11} \sim 11_{m1}$, $11_{12} \sim 11_{m2}$, \dots , $11_{1N} \sim 11_{mN}$ 間において電氣的に接続された他方の光感

応部分 $1\ 3_{mn}$ 群（他方の第 2 導電型半導体領域 4 2 からなり、第 2 の方向に長く
 延びる N 行の光感応部）にて蓄積された電荷に対応する出力と、光源 3 により対
 象物にスポット光が照射されていない第 2 の期間にわたり他方の光感応部分 $1\ 3_{mn}$
 群にて蓄積された電荷に対応する出力との差分に基づいて、第 1 の方向での輝
 度プロファイルを検出する。第 2 信号処理回路 3 0 は、図 1 0 に示されるように、
 第 2 の方向に配列された複数の $1\ 1_{11} \sim 1\ 1_{M1}$, $1\ 1_{12} \sim 1\ 1_{M2}$, \dots , $1\ 1_{1N} \sim 1\ 1_{MN}$
 間において電氣的に接続された他方の光感応部分 $1\ 3_{mn}$ 群に対応して設けら
 れた第 2 スイッチ素子 3 1 と、第 2 の方向に配列された複数の画素 $1\ 1_{11} \sim 1\ 1_{M1}$,
 $1\ 1_{12} \sim 1\ 1_{M2}$, \dots , $1\ 1_{1N} \sim 1\ 1_{MN}$ 間において電氣的に接続された他方の光感
 応部分 $1\ 3_{mn}$ 群からの電流を第 1 の方向に順次読み出すための第 2 シフトレジス
 タ 3 2 と、第 2 シフトレジスタ 3 2 により順次読み出される各他方の光感応部分
 $1\ 3_{mn}$ 群からの電流を順次入力し、その電流を電圧に変換して出力する第 2 積分
 回路 3 3 とを有している。また、第 2 信号処理回路 3 0 は、第 2 CDS 回路 3 4、
 第 2 A/D 変換回路 3 5、第 2 デジタルメモリ 3 6、第 2 差分演算回路 3 7 とを
 有している。

【0 1 1 3】 第 2 スイッチ素子 3 1 は、第 2 シフトレジスタ 3 2 から出力され
 る信号 $s\ h\ i\ f\ t\ (V_n)$ により制御されて順次閉じられる。第 2 スイッチ素子 3
 1 を閉じることにより、第 2 の方向に配列された複数の画素 $1\ 1_{11} \sim 1\ 1_{M1}$, $1\ 1_{12} \sim 1\ 1_{M2}$,
 \dots , $1\ 1_{1N} \sim 1\ 1_{MN}$ 間において電氣的に接続された他方の光感応部
 分 $1\ 3_{mn}$ 群に蓄積された電荷が電流出力となって、第 2 配線 4 7 及び第 2 スイッ
 チ素子 3 1 を介して第 2 積分回路 3 3 に出力される。第 2 シフトレジスタ 3 2 は、
 タイミング制御回路 5 0 から出力される信号 Φ_{V1} , Φ_{V2} , Φ_{Vst1} によりその動作が制
 御されて、第 2 スイッチ素子 3 1 を順次閉じる。

【0 1 1 4】 第 2 積分回路 3 3 は、図 1 1 に示された第 1 積分回路 2 3 と同等
 の構成を有し、第 2 の方向に配列された複数の画素 $1\ 1_{11} \sim 1\ 1_{M1}$, $1\ 1_{12} \sim 1\ 1_{M2}$,
 \dots , $1\ 1_{1N} \sim 1\ 1_{MN}$ 間において電氣的に接続された他方の光感応部分 $1\ 3_{mn}$

群からの電流出力を入力し、入力した電流出力の電荷を増幅するアンプと、アンプの入力端子に一方の端子が接続され、アンプの出力端子に他方の端子が接続された容量素子と、アンプの入力端子に一方の端子が接続され、アンプの出力端子に他方の端子が接続され、タイミング制御回路 50 から出力されるリセット信号 Φ_{Vreset} が有意の場合には「ON」状態となり、リセット信号 Φ_{Vreset} が非有意の場合には「OFF」状態となるスイッチ素子とを有している。

【0115】 第2積分回路 33 は、スイッチ素子が「ON」状態であるときには、容量素子を放電して初期化する。一方、第2積分回路 33 は、スイッチ素子が「OFF」状態であるときには、第2の方向に配列された複数の画素 $11_{11} \sim 11_{1M1}, 11_{12} \sim 11_{M2}, \dots, 11_{1N} \sim 11_{MN}$ 間において電氣的に接続された他方の光感応部分 13_{mn} 群から入力端子に入力した電荷を容量素子に蓄積して、その蓄積された電荷に応じた電圧出力を出力端子から出力する。

【0116】 ここで、図 14A～図 14I に基づいて、第2スイッチ素子 31、第2シフトレジスタ 32、第2積分回路 33 との動作について説明する。図 14A～図 14I は、第2信号処理回路における第2スイッチ素子、第2シフトレジスタ及び第2積分回路の動作を説明するためのタイミングチャートである。

【0117】 タイミング制御回路 50 から第2シフトレジスタ 32 にスタート信号 Φ_{Vst1} が入力されると（図 14A 参照）、信号 Φ_{V2} の立ち上がりから信号 Φ_{V1} の立下りまでの期間に対応したパルス幅を有する信号 $shift(V_n)$ が順次出力される（図 14B、図 14C、及び図 14E～図 14H 参照）。第2シフトレジスタ 32 から対応する第2スイッチ素子 31 に $shift(V_n)$ が出力されると、第2スイッチ素子 31 が順次閉じ、対応する他方の光感応部分 13_{mn} 群に蓄積された電荷が電流出力となって第2積分回路 33 に順次出力される。

【0118】 第2積分回路 33 には、タイミング制御回路 50 からリセット信号 Φ_{Vreset} が入力されている（図 14E 参照）。リセット信号 Φ_{Vreset} が「OFF」状態の期間、対応する他方の光感応部分 13_{mn} 群に蓄積された電荷が容量素子に

蓄積されて、蓄積された電荷量に応じた電圧出力が第2積分回路33から順次出力される（図14I参照）。なお、第2積分回路33は、リセット信号 Φ_{Vreset} が「ON」状態のときにはスイッチ素子を閉じて容量素子を初期化する。

【0119】 このように、第2積分回路33からは、第2の方向に配列された複数の画素 $11_{11} \sim 11_{m1}$, $11_{12} \sim 11_{m2}$, \dots , $11_{1N} \sim 11_{mN}$ 間において電氣的に接続された他方の光感応部分 13_m 群にて蓄積されて電荷（電流出力）に対応した電圧出力が、対応する他方の光感応部分 13_m 群毎に順次時系列データとして出力される。この時系列データは、第1の方向での輝度プロファイル（アナログデータ）を示すものである。

【0120】 再び、図10を参照する。第2CDS回路34は、第2積分回路33からの電圧出力の変化量に応じた電圧出力を出力する。第2CDS回路34は、図12に示された第1CDS回路24と同等の構成を有し、入力端子と出力端子との間に順にスイッチ素子、結合容量素子およびアンプを有している。また、アンプの入出力間にスイッチ素子および積分容量素子が互いに並列的に接続されている。

【0121】 第2A/D変換回路35は、第2CDS回路34からの電圧出力（アナログ値）を順次入力し、その電圧出力をデジタル値に変換し、そのデジタル値を出力する。第2A/D変換回路35には、タイミング制御回路50からクロックパルス信号（図示せず）、スタート信号 Φ_{Vst1} が入力されており、これらの信号に基づいて動作する。第2A/D変換回路35から出力されるデジタル値は、第1の方向での輝度プロファイル（デジタルデータ）を表す出力となる。

【0122】 第2デジタルメモリ36は、第2A/D変換回路35から出力されたデジタル値のうちの第1の期間に対応したデジタル値（上記第1の期間にわたり他方の光感応部分 13_m 群にて蓄積された電荷に対応する電流出力を電圧出力（アナログ値）とし、当該電圧出力をA/D変換した値）と、同じく第2の期間に対応したデジタル値（上記第2の期間にわたり他方の光感応部分 13_m 群に

て蓄積された電荷に対応する電流出力を電圧出力（アナログ値）とし、当該電圧出力をA/D変換した値）とを記憶し、当該記憶したデジタル値を第2差分演算回路37に出力する。第2デジタルメモリ36には、タイミング制御回路50からスタート信号 Φ_{Vst1} 、 Φ_{Vst2} （図示せず）が入力されており、これらの信号に基づいて動作する。

【0123】 第2差分演算回路37は、第2デジタルメモリ36から出力された第1の期間に対応したデジタル値と第2の期間に対応したデジタル値との差分を求め、当該差分に対応するデジタル値を出力する。したがって、第2差分演算回路37から出力されるデジタル値は、背景光成分が除去され、スポット光成分のみを含んだ第1の方向での輝度プロファイルを表す出力となる。

【0124】 ここで、図16A～図16Eに基づいて、第2差分演算回路37の動作を説明する。図16A～図16Eは、第2信号処理回路における第2差分演算回路の動作を説明するためのタイミングチャートである。なお、図16D及び図16Eにおいては、説明のため、第2A/D変換回路及び第2差分演算回路のデジタル出力をアナログ出力の形態で示している。

【0125】 タイミング制御回路50からの制御信号LEDが「ハイ」である所定の期間にわたりスイッチ素子7が閉じられると（図16C参照）、当該所定の期間に対応した期間だけ発光素子5からスポット光が照射される。そして、スタート信号 Φ_{Vst1} に同期して、上述したように、第2積分回路33から電圧出力が出力され、第2A/D変換回路35からデジタル値が順次出力される（図16A及び図16D参照）。第2A/D変換回路35から出力されたデジタル値は、上記第1及び第2の期間に対応するデジタル値ごとに、第2デジタルメモリ36に記憶される。第2差分演算回路37は、タイミング制御回路50から出力されたスタート信号 Φ_{Vst2} に同期して、第2デジタルメモリ36に記憶されている第1の期間に対応したデジタル値と第2の期間に対応したデジタル値とを読み出し、その差分を求め、差分に応じたデジタル値を出力する（図16B及び図16E参照）。

【0126】 以上のように、本第1実施形態の光検出装置1においては、1つの画素11_{mn}に入射した光は当該画素11_{mn}を構成する複数の光感応部分12_{mn}, 13_{mn}それぞれに、光強度に応じた電流が光感応部分12_{mn}, 13_{mn}毎に出力される。そして、一方の光感応部分12_{mn}同士が2次元配列における第1の方向に配
5 列された複数の画素11₁₁~11_{1N}, 11₂₁~11_{2N}, ..., 11_{M1}~11_{MN}にわたって電氣的に接続されているので、一方の光感応部分12_{mn}から出力された電流は第1の方向に送られる。また、他方の光感応部分13_{mn}同士が2次元配列における第2の方向に配列された複数の画素11₁₁~11_{M1}, 11₁₂~11_{M2}, ...,
11_{1N}~11_{MN}にわたって電氣的に接続されているので、他方の光感応部分13_{mn}
10 から出力された電流は第2の方向に送られる。このように、一方の光感応部分12_{mn}から出力された電流は第1の方向に送られるとともに、他方の光感応部分13_{mn}から出力された電流は第2の方向に送られることから、第1の方向での輝度プロファイルと第2の方向での輝度プロファイルとをそれぞれ独立して得ることが可能となる。この結果、1画素に複数の光感応部分12_{mn}, 13_{mn}を配設する
15 という極めて簡素な構成にて、入射した光の2次元位置を高速に検出することができる。

【0127】 また、本第1実施形態の光検出装置1において、各光感応部分12_{mn}, 13_{mn}は、半導体基板40部分と第2導電型半導体領域41, 42とを含み、
第2導電型半導体領域41, 42は、光入射方向から見て略三角形状を呈してお
20 り、1画素において互いに一辺が隣接して形成されている。これにより、複数の光感応部分12_{mn}, 13_{mn}を1画素内に配設する際に、各光感応部分12_{mn}, 13_{mn}（第2導電型半導体領域41, 42）の面積が減少するのを抑制することができる。

【0128】 また、本第1実施形態の光検出装置1において、第2導電型半導
25 体領域41, 42は、光入射方向から見て略長形状を呈しており、1画素において長辺が隣接して形成されている。これにより、複数の光感応部分12_{mn}, 1

3_{mn}を1画素内に配設する際に、各光感応部分1 2_{mn}, 1 3_{mn}（第2導電型半導体領域4 1, 4 2）の面積が減少するのを抑制することができる。

【0 1 2 9】 また、本第1実施形態の光検出装置1において、第2導電型半導体領域4 1, 4 2は、光入射方向から見て4角形以上の多角形状を呈しており、
5 1画素において1辺が隣接して形成されている。これにより、複数の光感応部分1 2_{mn}, 1 3_{mn}（第2導電型半導体領域4 1, 4 2）を1画素内に配設する際に、各光感応部分1 2_{mn}, 1 3_{mn}の面積が減少するのを抑制することができる。また、各光感応部分1 2_{mn}, 1 3_{mn}の面積に対する周囲長は減ることとなり、単位面積当たりに換算した暗電流が低減される。なお、4角形以上の多角形状として、菱形
10 形状を採用してもよい。

【0 1 3 0】 また、本第1実施形態の光検出装置1において、第2導電型半導体領域4 1, 4 2とは、1画素において第1の方向と第2の方向とに交差する第3の方向に並設されている。これにより、一方の光感応部分1 2_{mn}群及び他方の光感応部分1 3_{mn}群において、各光感応部分1 2_{mn}, 1 3_{mn}群の中心部分に対応する光感応部分1 2_{mn}, 1 3_{mn}が集中することとなり、解像度を向上することができる。
15

【0 1 3 1】 また、本第1実施形態の光検出装置1において、第2導電型半導体領域4 1, 4 2は、光入射方向から見てハニカム状に配列されている。これにより、複数の光感応部分1 2_{mn}, 1 3_{mn}（第2導電型半導体領域4 1, 4 2）を1
20 画素内に配設する際に、各光感応部分1 2_{mn}, 1 3_{mn}の面積が減少するのをより一層抑制することができる。また、幾何学的対称性が高く、第2導電型半導体領域4 1, 4 2（光感応部分1 2_{mn}, 1 3_{mn}）を形成するために用いるマスクが位置ずれしたことによる不均一性が抑制できる。

【0 1 3 2】 また、本第1実施形態の光検出装置1においては、第1配線4 4
25 が、画素1 1_{mn}間を第1の方向に延びて設けられており、第2配線4 7が、画素1 1_{mn}間を第2の方向に延びて設けられている。これにより、それぞれの配線4

4, 47により光感応部分 12_m , 13_m (第2導電型半導体領域41, 42)への光の入射を妨げられることはなく、検出感度の低下を抑制できる。

【0133】 また、本第1実施形態の光検出装置1においては、第1信号処理回路20により、上記第1の期間にわたり一方の光感応部分群 12_m にて蓄積された電荷に対応する出力と上記第2の期間にわたり一方の光感応部分群 12_m にて蓄積された電荷に対応する出力との差分に基づいて、第2の方向での輝度プロファイルが検出されることとなる。これにより、光感応領域10に背景光が入射した場合でも、背景光成分を除去した状態で、第2の方向での輝度プロファイルを検出することができる。また、第2信号処理回路30により、上記第1の期間にわたり他方の光感応部分群 13_m にて蓄積された電荷に対応する出力と上記第2の期間にわたり他方の光感応部分群 13_m にて蓄積された電荷に対応する出力との差分に基づいて、第1の方向での輝度プロファイルが検出されることとなる。これにより、光感応領域10に背景光が入射した場合でも、背景光成分を除去した状態で、第1の方向での輝度プロファイルを検出することができる。これらの結果、光感応領域10に入射した光の2次元位置を極めて精度良く検出することができる。

【0134】 また、本第1実施形態の光検出装置1において、第1信号処理回路20は、第1シフトレジスタ22と、第1積分回路23と、第1CDS回路24と、第1A/D変換回路25と、第1差分演算回路27とを含み、第2信号処理回路30は、第2シフトレジスタ32と、第2積分回路33と、第2CDS回路34と、第2A/D変換回路35と、第2差分演算回路37とを含んでいる。これにより、第1積分回路23及び第2積分回路33それぞれが積分動作ごとに異なるノイズばらつきを有していても、第1CDS回路24及び第2CDS回路34によりノイズ誤差が解消される。この結果、第1の方向での輝度プロファイルと第2の方向での輝度プロファイルとを高精度にて得ることができる。また、第1及び第2シフトレジスタ22, 32それぞれにより一方及び他方の光感応部

分群 $1\ 2_m$, $1\ 3_m$ それぞれからの電流出力を順次読み出して、A/D変換して差分を求めているので、第1及び第2信号処理回路20, 30の構成の簡素化及び低コスト化を図ることができる。

【0135】 また、本第1実施形態の光検出装置1において、第1信号処理回路20は、第1A/D変換回路25と第1差分演算回路27との間に設けられた第1デジタルメモリ26を更に含み、第2信号処理回路30は、第2A/D変換回路35と第2差分演算回路37との間に設けられた第2デジタルメモリ36を更に含んでいる。これにより、第1及び第2差分演算回路27, 37において、第1の期間に対応したデジタル値と第2の期間に対応したデジタル値との差分の演算を適切且つ確実に行なわせることができる。

【0136】 (第2実施形態)

【0137】 次に、図17～図22に基づいて、第2実施形態に係る光検出装置について説明する。第1実施形態の光検出装置と第2実施形態の光検出装置とは、第1信号処理回路20及び第2信号処理回路30の構成に関して相違する。

【0138】 第2実施形態に係る光検出装置の第1信号処理回路20は、図17に示されるように、第1積分回路23と、第1CDS回路121と、第2CDS回路122と、第1差分演算回路130と、第1サンプルアンドホールド回路(以下、第1S/H回路と称する)140と、第1シフトレジスタ150と、第1スイッチ素子160と、第1A/D変換回路170とを有している。図17は、第1信号処理回路を示す概略構成図である。

【0139】 第1積分回路23は、一方の光感応部分 $1\ 2_m$ 群に対応して設けられ、対応する一方の光感応部分 $1\ 2_m$ 群からの電流出力を電圧出力に変換して、当該電圧出力を出力する。

【0140】 第1CDS回路121は、第1積分回路23に対応して設けられ、対応する第1積分回路23からの電圧出力の変化量に応じた電圧出力を出力する。第1CDS回路121は、図19に示されるように、入力端子と出力端子との間

に順にスイッチ素子 SW_{211} 、第 1 結合容量素子 C_{211} および第 1 アンプ（増幅器） A_{21} を有している。また、アンプ A_{21} の入出力間にスイッチ素子 SW_{212} および第 1 積分容量素子 C_{212} が互いに並列的に接続されている。スイッチ素子 SW_{211} および SW_{212} は、第 1 積分容量素子 C_{212} に電荷を蓄積させるための第 1 スwitch素子手段として作用する。第 1 CDS 回路 1 2 1 は、スイッチ素子 SW_{212} が閉じているときには、第 1 積分容量素子 C_{212} を放電して初期化する。スイッチ素子 SW_{212} が開きスイッチ素子 SW_{211} が閉じているときには、入力端子から第 1 結合容量素子 C_{211} を経て入力した第 1 の電荷を第 1 積分容量素子 C_{212} に蓄積して、その蓄積された電荷に応じた電圧出力を出力端子から出力する。スイッチ素子 SW_{211} は、タイミング制御回路 5 0 から出力される CSW211 信号に基づいて開閉する。また、スイッチ素子 SW_{212} は、タイミング制御回路 5 0 から出力される Clamp1 信号に基づいて開閉する。

【0 1 4 1】 第 2 CDS 回路 1 2 2 は、第 1 積分回路 2 3 に対応して設けられ、対応する第 1 積分回路 2 3 からの電圧出力の変化量に応じた電圧出力を出力する。第 2 CDS 回路 1 2 2 は、図 1 9 に示されるように、入力端子と出力端子との間に順にスイッチ素子 SW_{221} 、第 2 結合容量素子 C_{221} および第 2 アンプ A_{22} を有している。また、アンプ A_{22} の入出力間にスイッチ素子 SW_{222} および第 2 積分容量素子 C_{222} が互いに並列的に接続されている。スイッチ素子 SW_{221} および SW_{222} は、第 2 積分容量素子 C_{222} に電荷を蓄積させるための第 2 スwitch素子手段として作用する。第 2 CDS 回路 1 2 2 の第 2 積分容量素子 C_{222} の容量値は、第 1 CDS 回路 1 2 1 の第 2 積分容量素子 C_{212} の容量値と等しい。第 2 CDS 回路 1 2 2 は、スイッチ素子 SW_{222} が閉じているときには、第 2 積分容量素子 C_{222} を放電して初期化する。スイッチ素子 SW_{222} が開きスイッチ素子 SW_{221} が閉じているときには、入力端子から第 2 結合容量素子 C_{221} を経て入力した第 2 の電荷を第 2 積分容量素子 C_{222} に蓄積して、その蓄積された電荷に応じた電圧出力を出力端子から出力する。スイッチ素子 SW_{221} は、タイミング制御回路 5 0 から出力される CSW221 信

号に基づいて開閉する。また、スイッチ素子 SW_{222} は、タイミング制御回路 50 から出力される $Clamp2$ 信号に基づいて開閉する。

【0142】 第1差分演算回路 130 は、第1 CDS 回路 121 及び第2 CDS 回路 122 に対応して設けられ、対応する第1 CDS 回路 121 の第1積分容量素子 C_{212} および対応する第2 CDS 回路 121 の第2積分容量素子 C_{222} それぞれに蓄積されている電荷量の差分を求め、その差分に応じた電圧出力を出力する。第1差分演算回路 130 は、図19に示されるように、2つの入力端子 130a および 130b ならびに1つの出力端子 130c を有しており、第1の入力端子 130a が第1 CDS 回路 121 の出力端子に接続され、第2の入力端子 130b が第2 CDS 回路 122 の出力端子に接続されている。第1差分演算回路 130 は、スイッチ素子 $SW_{31} \sim SW_{33}$ 、容量素子 C_3 およびアンプ A_3 を備える。第1の入力端子 130a と出力端子 130c との間に順に、スイッチ素子 SW_{31} 、容量素子 C_3 およびアンプ A_3 が配され、第2の入力端子 130b と出力端子 130c との間に順に、スイッチ素子 SW_{32} 、容量素子 C_3 およびアンプ A_3 が配されている。また、容量素子 C_3 とアンプ A_3 との接続点がスイッチ素子 SW_{33} を介して接地されている。

【0143】 この第1差分演算回路 130 は、スイッチ素子 SW_{33} を閉じているときにスイッチ素子 SW_{32} を開きスイッチ素子 SW_{31} を一定期間だけ閉じることで、第1 CDS 回路 121 からの電圧出力を入力して、容量素子 C_3 に電荷 Q_1 だけ充電する。また、第1差分演算回路 130 は、スイッチ素子 SW_{33} を開いているときにスイッチ素子 SW_{31} を開きスイッチ素子 SW_{32} を一定期間だけ閉じることで、第2 CDS 回路 122 からの電圧出力を入力して、容量素子 C_3 から電荷 Q_2 を放電する。このようにして、第1差分演算回路 130 は、電荷 Q_1 と電荷 Q_2 との差分すなわち電荷 $(Q_1 - Q_2)$ を容量素子 C_3 に蓄積して、その蓄積された電荷 $(Q_1 - Q_2)$ に応じた電圧出力をアンプ A_3 から出力する。スイッチ素子 SW_{31} は、タイミング制御回路 50 から出力される $Sample1$ 信号に基づいて開

閉する。スイッチ素子 SW_{32} は、タイミング制御回路 50 から出力される Sample2 信号に基づいて開閉する。また、スイッチ素子 SW_{33} は、タイミング制御回路 50 から出力される Clamp3 信号に基づいて開閉する。

【0144】 第1 S/H回路 140 は、第1 差分演算回路 130 に対応して設けられ、対応する第1 差分演算回路 130 からの電圧出力を保持して出力する。第1 S/H回路 140 は、図 20 に示されるように、入力端子と出力端子との間に順にスイッチ素子 SW_4 およびアンプ A_4 を有し、スイッチ素子 SW_4 とアンプ A_4 との接続点が容量素子 C_4 を介して接地されている。第1 S/H回路 140 は、スイッチ素子 SW_4 が閉じているときに第1 差分演算回路 130 からの電圧出力を容量素子 C_4 に記憶し、スイッチ素子 SW_4 が開いた後も、容量素子 C_4 の電圧出力を保持して、その電圧出力をアンプ A_4 を介して出力する。スイッチ素子 SW_4 は、タイミング制御回路 50 から出力される Hold 信号に基づいて開閉する。第1 スイッチ素子 160 は、第1 シフトレジスタ 150 により制御されて順次に関き、第1 S/H回路 140 からの電圧出力を第1 A/D変換回路 170 に順次に入力させる。

【0145】 第1 A/D変換回路 170 は、第1 S/H回路 140 それぞれからの電圧出力（アナログ値）を順次入力し、その電圧出力をデジタル値に変換し、そのデジタル値を出力する。第1 A/D変換回路 170 から出力されるデジタル値は、第2 の方向での輝度プロファイル（デジタルデータ）を表す出力となる。

【0146】 第2 実施形態に係る光検出装置の第2 信号処理回路 30 は、図 18 に示されるように、第2 積分回路 33 と、第3 CDS回路 221 と、第4 CDS回路 222 と、第2 差分演算回路 230 と、第2 サンプルアンドホールド回路（以下、第2 S/H回路と称する）240 と、第2 シフトレジスタ 250 と、第2 スイッチ素子 260 と、第2 A/D変換回路 270 とを有している。図 18 は、第2 信号処理回路を示す概略構成図である。

【0147】 第2 積分回路 33 は、他方の光感応部分 13_m 群に対応して設け

られ、対応する他方の光感応部分 1 3_m 群からの電流出力を電圧出力に変換して、当該電圧出力を出力する。

【0148】 第3 CDS回路 2 2 1は、第2積分回路 3 3に対応して設けられ、対応する第2積分回路 3 3からの電圧出力の変化量に応じた電圧出力を出力する。

5 第3 CDS回路 2 2 1は、図 1 9に示された第1 CDS回路 1 2 1と同等の構成を有し、入力端子と出力端子との間に順にスイッチ素子、第3結合容量素子および第3アンプを有している。また、第3アンプの入出力間にスイッチ素子および第3積分容量素子が互いに並列的に接続されている。各スイッチ素子は、第3積分容量素子に電荷を蓄積させるための第3スイッチ素子手段として作用する。

10 【0149】 第4 CDS回路 2 2 2は、第2積分回路 3 3に対応して設けられ、対応する第2積分回路 3 3からの電圧出力の変化量に応じた電圧出力を出力する。第4 CDS回路 2 2 2は、図 1 9に示された第2 CDS回路 1 2 2と同等の構成を有し、入力端子と出力端子との間に順にスイッチ素子、第4結合容量素子および第4アンプを有している。また、第4アンプの入出力間にスイッチ素子および
15 第4積分容量素子が互いに並列的に接続されている。各スイッチ素子は、第4積分容量素子に電荷を蓄積させるための第4スイッチ素子手段として作用する。

【0150】 第2差分演算回路 2 3 0は、第3 CDS回路 2 2 1及び第4 CDS回路 2 2 2に対応して設けられ、対応する第3 CDS回路 2 2 1の第3積分容量素子および対応する第4 CDS回路 2 2 1の第4積分容量素子それぞれに蓄積
20 されている電荷量の差分を求め、その差分に応じた電圧出力を出力する。第2差分演算回路 2 3 0は、図 1 9に示された第1差分演算回路 1 3 0と同等の構成を有し、スイッチ素子、容量素子およびアンプを備えている。

【0151】 第2 S/H回路 2 4 0は、第2差分演算回路 2 3 0に対応して設けられ、対応する第2差分演算回路 2 3 0から出力される電圧を保持して出力す
25 る。第2 S/H回路 2 4 0は、図 2 0に示された第1 S/H回路 1 4 0と同等の構成を有し、入力端子と出力端子との間に順にスイッチ素子およびアンプを有し、

スイッチ素子とアンプとの接続点が容量素子を介して接地されている。第2スイッチ素子260は、第2シフトレジスタ250により制御されて順次に関き、第2S/H回路240からの電圧出力を第2A/D変換回路270に順次に入力させる。

5 【0152】 第2A/D変換回路270は、第2S/H回路240それぞれからの電圧出力(アナログ値)を順次入力し、その電圧出力をデジタル値に変換し、そのデジタル値を出力する。第2A/D変換回路270から出力されるデジタル値は、第1の方向での輝度プロファイル(デジタルデータ)を表す出力となる。

10 【0153】 続いて、図21に基づいて、第2実施形態の光検出装置における第1信号処理回路20及び第2信号処理回路30の動作について説明する。図21は、第1信号処理回路の動作を説明するためのタイミングチャートである。以下に説明する動作は、背景光成分を除去して、発光素子5から対象物に投光されたスポット光成分(信号光成分)のみについての光検出信号を出力するものである。

15 【0154】 時刻 t_1 に、Reset信号がHighとなることにより、第1積分回路23のスイッチ素子 SW_1 が閉じて、容量素子 C_1 が放電され初期化される。また、Clamp1信号もHighとなることにより、第1CDS回路121のスイッチ素子 SW_{212} が閉じて、第1CDS回路121におけるCDS動作が停止される。

20 【0155】 時刻 t_2 に、Reset信号がLowとなることにより、第1積分回路23のスイッチ素子 SW_1 が開く。そして、時刻 t_2 以降、対応する一方の光感応部分12_m群から出力された電荷が容量素子 C_1 に蓄積されていき、第1積分回路23の出力端子からの電圧出力は次第に大きくなっていく。この時刻 t_2 では、Clamp1信号は論理Hのままであり、第1CDS回路121のスイッチ素子 SW_{212} は閉じたままである。また、時刻 t_2 では、CSW211信号はLowであり、第1CDS回路121のスイッチ素子 SW_{211} は開いている。

25 【0156】 時刻 t_3 に、Clamp1信号がLowとなることにより、第1CDS回

路 1 2 1 のスイッチ素子 SW_{212} が開き、また、CSW211 信号が High となることにより、第 1 CDS 回路 1 2 1 のスイッチ素子 SW_{211} が閉じる。そして、時刻 t_3 から一定時間 T 経過後の時刻 t_4 に、CSW211 信号が Low となることにより、第 1 CDS 回路 1 2 1 のスイッチ素子 SW_{211} が開く。

5 【0157】 時刻 $t_2 \sim t_4$ の期間では、タイミング制御回路 50 から出力された制御信号 LED により発光素子 5 が発光し、当該発光素子 5 から対象物にスポット光が照射されている。したがって、発光素子 5 から投光され対象物により反射されたスポット光成分および背景光成分の双方が光感応領域 10 に入射して、それによって発生した電流が光感応領域 10（一方の光感応部分 1 2_{mn} 群）から
10 出力される。そして、その電流出力を入力した第 1 積分回路 2 3 では、容量素子 C_1 に電荷が蓄積され、その蓄積された電荷の量に応じた電圧出力が第 1 積分回路 2 3 から出力される。また、時刻 $t_3 \sim t_4$ の期間（第 1 の期間）では、第 1 積分回路 2 3 の出力端子からの電圧出力が第 1 CDS 回路 1 2 1 に入力して、時刻 t_3 以降の入力電圧出力の変化分に相当する電荷が第 1 積分容量素子 C_{212} に蓄積され、
15 その蓄積された電荷の量に応じた電圧出力が第 1 CDS 回路 1 2 1 から出力される。したがって、時刻 t_4 以降に第 1 CDS 回路 1 2 1 からの電圧出力は、時刻 t_3 および時刻 t_4 それぞれに第 1 積分回路 2 3 からの電圧出力の差に相当する電圧値 V_{n1} となり、第 1 積分回路 2 3 にて生じるノイズ成分が除去されたものとなる。

20 【0158】 時刻 t_4 に、Reset 信号が High となることにより、第 1 積分回路 2 3 のスイッチ素子 SW_1 が閉じて、容量素子 C_1 が放電され初期化される。また、Clamp2 信号も High となることにより、第 2 CDS 回路 1 2 2 のスイッチ素子 SW_{222} が閉じて、第 2 CDS 回路 1 2 2 における CDS 動作が停止される。

25 【0159】 時刻 t_5 に、Reset 信号が Low となることにより、第 1 積分回路 2 3 のスイッチ素子 SW_1 が開く。そして、時刻 t_5 以降、一方の光感応部分 1 2_{mn} 群から出力された電荷が容量素子 C_1 に蓄積されていき、第 1 積分回路 2 3 の出力端子からの電圧出力は次第に大きくなっていく。この時刻 t_5 では、Clamp2 信号

は High のままであり、第 2 CDS 回路 1 2 2 のスイッチ素子 SW_{222} は閉じたままである。また、時刻 t_5 では、CSW221 信号は Low であり、第 2 CDS 回路 1 2 2 のスイッチ素子 SW_{221} は開いている。

【0160】 時刻 t_6 に、Clamp2 信号が Low となることにより、第 2 CDS 回路 1 2 2 のスイッチ素子 SW_{222} が開き、また、CSW221 信号が High となることにより、第 2 CDS 回路 1 2 2 のスイッチ素子 SW_{221} が閉じる。そして、時刻 t_6 から一定時間 T 経過後の時刻 t_7 に、CSW221 信号が Low となることにより、第 2 CDS 回路 1 2 2 のスイッチ素子 SW_{221} が開く。

【0161】 時刻 $t_5 \sim t_7$ の期間では、発光素子 5 から対象物にスポット光が照射されていない。したがって、背景光成分のみが光感応領域 1 0 に入射して、それによって発生した電流が光感応領域 1 0（一方の光感応部分 1 2_{mn} 群）から出力される。そして、その電流出力を入力した第 1 積分回路 2 3 では、容量素子 C_1 に電荷が蓄積され、その蓄積された電荷の量に応じた電圧出力が第 1 積分回路 2 3 から出力される。また、時刻 $t_6 \sim t_7$ の期間（第 2 の期間）では、第 1 積分回路 2 3 の出力端子からの電圧出力が第 2 CDS 回路 1 2 2 に入力して、時刻 t_6 以降の入力電圧出力の変化分に相当する電荷が第 2 積分容量素子 C_{222} に蓄積され、その蓄積された電荷の量に応じた電圧出力が第 2 CDS 回路 1 2 2 から出力される。したがって、時刻 t_7 以降に第 2 CDS 回路 1 2 2 からの電圧出力は、時刻 t_6 および時刻 t_7 それぞれに第 1 積分回路 2 3 からの電圧出力の差に相当する電圧値 V_{n2} となり、第 1 積分回路 2 3 にて生じるノイズ成分が除去されたものとなる。

【0162】 時刻 t_7 以降では、第 1 CDS 回路 1 2 1 の第 1 積分容量素子 C_{212} に蓄積されている電荷は、スポット光成分と背景光成分とを加算したものに相当するものであり、第 2 CDS 回路 1 2 2 の第 2 積分容量素子 C_{222} に蓄積されている電荷は、背景光成分のみに相当するものである。また、時刻 $t_3 \sim t_4$ までの期間（第 1 の期間）と時刻 $t_6 \sim t_7$ までの期間（第 2 の期間）とは互いに等しい時間 T であり、第 1 CDS 回路 1 2 1 の第 1 積分容量素子 C_{212} および第 2 CDS 回

路 1 2 2 の第 2 積分容量素子 C_{222} それぞれの容量は互いに等しいので、電圧値 V_{n1} は、スポット光成分と背景光成分とを加算したものに相当するものであり、電圧値 V_{n2} は、背景光成分のみに相当するものであり、したがって、これら間の電圧差 $\Delta V_n = (V_{n1} - V_{n2})$ は、スポット光成分のみに相当するものである。そこで、
5 時刻 t_8 以降では、この電圧差 ΔV_n が第 1 差分演算回路 1 3 0 により以下のようにして求められる。

【0 1 6 3】 時刻 t_7 以降（第 3 の期間）、Reset 信号は High であり、第 1 積分回路 2 3 のスイッチ素子 SW_1 が閉じて、容量素子 C_1 が放電され初期化状態が維持される。Clamp1 信号は Low であり、第 1 CDS 回路 1 2 1 のスイッチ素子 SW_{212} が開いたままである。また、Clamp2 信号は Low であり、第 2 CDS 回路 1 2 2 のスイッチ素子 SW_{222} が開いたままである。

【0 1 6 4】 時刻 t_7 以降の第 3 の期間のうち時刻 $t_8 \sim t_9$ の期間に、Sample1 信号は High であり、第 1 差分演算回路 1 3 0 のスイッチ素子 SW_{31} は閉じる。このとき、Sample2 信号は Low であり、第 1 差分演算回路 1 3 0 のスイッチ素子 SW_{32} は開いており、また、Clamp3 信号は High であり、第 1 差分演算回路 1 3 0 のスイッチ素子 SW_{33} は閉じている。この期間に、第 1 CDS 回路 1 2 1 の出力端子から出力される電圧値 V_{n1} が第 1 差分演算回路 1 3 0 のスイッチ素子 SW_{31} を介して容量素子 C_3 に入力し、その電圧値 V_{n1} が容量素子 C_3 に保持される。

【0 1 6 5】 時刻 t_7 以降の第 3 の期間のうち時刻 $t_{10} \sim t_{11}$ の期間に、Sample2 信号は High であり、第 1 差分演算回路 1 3 0 のスイッチ素子 SW_{32} は閉じる。このとき、Sample1 信号は Low であり、第 1 差分演算回路 1 3 0 のスイッチ素子 SW_{31} は開いており、また、Clamp3 信号は Low であり、第 1 差分演算回路 1 3 0 のスイッチ素子 SW_{33} は開いている。この期間に、第 2 CDS 回路 1 2 2 の出力端子から出力される電圧値 V_{n2} が第 1 差分演算回路 1 3 0 のスイッチ素子 SW_{32} を介して容量素子 C_3 に入力する。このとき、第 1 差分演算回路 1 3 0 のスイッチ素子 SW_{33} は開いているので、第 1 差分演算回路 1 3 0 の容量素子 C_3 には、電圧値

V_{n2} と電圧値 V_{n1} との差 ΔV_n が保持される。この電圧値 ΔV_n は、スポット光成分のみに相当するものである。

【0166】そして、時刻 t_{10} にHold信号がHighとなり、第1S/H回路140のスイッチ素子 SW_4 が閉じると、第1差分演算回路130の容量素子 C_3 に保持されている電圧値 ΔV_n は、第1差分演算回路130のアンプ A_3 および第1S/H回路140のスイッチ素子 SW_4 を経て、第1S/H回路140の容量素子 C_4 に保持される。時刻 t_{11} にHold信号がLowとなってスイッチ素子 SW_4 が開いた後も、第1S/H回路140の容量素子 C_4 に保持された電圧値 ΔV_n は、アンプ A_4 から電圧出力 V_{n3} として出力される。各第1S/H回路140からの電圧出力 V_{n3} は、上述したように第1A/D変換回路170に順次入力され、デジタル値に変換されて、第1A/D変換回路170から出力される。

【0167】第2信号処理回路30に含まれる第2積分回路33、第3CDS回路221、第4CDS回路222、第2差分演算回路230及び第2S/H回路240は、第1信号処理回路20に含まれる第1積分回路23、第1CDS回路121、第2CDS回路122、第1差分演算回路130及び第1S/H回路140と同等の動作（図21参照）を行い、スポット光成分のみに相当する電圧値を有する電圧出力が第2S/H回路240から出力される。各第2S/H回路240からの電圧出力は、上述したように第2A/D変換回路270に順次入力され、デジタル値に変換されて、第2A/D変換回路270から出力される。

【0168】以上のように、本第2実施形態の光検出装置においても、光感応領域10に背景光が入射した場合でも、背景光成分を除去した状態で、第1及び第2の方向での輝度プロファイルを検出することができる。これらの結果、光感応領域10に入射した光の2次元位置を極めて精度良く検出することができる。

【0169】また、本第2実施形態の光検出装置において、第1信号処理回路20は、第1積分回路23と、第1CDS回路121と、第2CDS回路122と、第1差分演算回路130と、を含み、第2信号処理回路30は、第2積分回

路 3 3 と、第 3 CDS 回路 2 2 1 と、第 4 CDS 回路 2 2 2 と、第 2 差分演算回路 1 3 0 とを含んでいる。これにより、一方の光感応部分 1 2_m 群毎に第 1 差分演算回路 1 3 0 が設けられ、他方の光感応部分群 1 3_m 毎に第 2 差分演算回路 2 3 0 が設けられることとなるので、第 1 及び第 2 の方向での輝度プロファイルを高速で得ることができる。また、第 1 積分回路 2 3 及び第 2 積分回路 3 3 それぞれが積分動作毎に異なるノイズばらつきを有していても、第 1～第 4 CDS 回路 1 2 1, 1 2 2, 2 2 1, 2 2 2 それぞれによりノイズ誤差が解消される。また、第 1 の期間に、第 1 及び第 3 CDS 回路 1 2 1, 2 2 1 の第 1 及び第 3 積分容量素子 C₂₁₂ に光源 3 からのスポット光成分（信号光成分）及び背景光成分に応じた電荷が蓄積され、第 2 の期間に、第 2 及び第 4 CDS 回路 1 2 2, 2 2 2 の第 2 及び第 4 積分容量素子 C₂₂₂ に背景光成分に応じた電荷が蓄積され、そして、両者の差分が第 1 及び第 2 差分演算回路 1 3 0, 2 3 0 で求められるので、第 1 及び第 2 差分演算回路 1 3 0, 2 3 0 からの電圧出力は、光源 3 からのスポット光成分のみに応じたものである。このように、光感応領域 1 0 に入射する光の強度すなわち上記電圧出力の値が小さい場合であっても、輝度プロファイル検出の S/N 比は優れたものとなる。

【0 1 7 0】 また、本第 2 実施形態の光検出装置において、第 1 信号処理回路 2 0 は、第 1 S/H 回路 1 4 0 と、第 1 A/D 変換回路 1 7 0 とを更に含み、第 2 信号処理回路 3 0 は、第 2 S/H 回路 2 4 0 と、第 2 A/D 変換回路 2 7 0 とを更に含んでいる。これにより、第 1 及び第 2 の方向での輝度プロファイルをデジタル値として出力することができる。

【0 1 7 1】 （第 3 実施形態）

【0 1 7 2】 次に、図 2 2～図 2 7 に基づいて、第 3 実施形態に係る光検出装置について説明する。第 1 実施形態の光検出装置と第 3 実施形態の光検出装置とは、第 1 信号処理回路 2 0 及び第 2 信号処理回路 3 0 の構成に関して相違する。

【0 1 7 3】 第 3 実施形態に係る光検出装置の第 1 信号処理回路 2 0 は、図 2

2に示されるように、第1電荷蓄積回路310と、第1シフトレジスタ320と、第1積分回路330と、第1差分演算回路340と、第1A/D変換回路170とを有している。図22は、第1信号処理回路を示す概略構成図である。

【0174】 第1電荷蓄積回路310は、一方の光感応部分12_{mn}群に対応して設けられ、対応する一方の光感応部分群12_{mn}からの電流出力を入力する入力端子310Aと出力端子310Bとの間に並列的に設けられた第1容量素子C_{41A}及び第2容量素子C_{41B}を有し、一方の光感応部分12_{mn}群にて上記第1の期間にわたり蓄積された電荷に対応した電流出力に応じて電荷を第1容量素子C_{41A}に蓄積し、一方の光感応部分12_{mn}群にて上記第2の期間にわたり蓄積された電荷に対応した電流出力に応じて電荷を第2容量素子C_{41B}に蓄積する。第1電荷蓄積回路310は、図24に示されるように、スイッチ素子SW_{41A}、SW_{42A}、SW_{41B}、SW_{42B}を有している。互いに縦続接続されたスイッチ素子SW_{41A}及びスイッチ素子SW_{42A}と、互いに縦続接続されたスイッチ素子SW_{41B}及びスイッチ素子SW_{42B}とが、入力端子310Aと出力端子310Bとの間に並列的に接続されている。スイッチ素子SW_{41A}とスイッチ素子SW_{42A}との接続点が第1容量素子C_{41A}を介して接地されている。スイッチ素子SW_{41B}とスイッチ素子SW_{42B}との接続点が第2容量素子C_{41B}を介して接地されている。また、入力端子310Aとスイッチ素子SW_{41A}、SW_{41B}との接続点は、スイッチ素子SW₄₃を介して第1基準電位V_{ref1}に接続されている。

【0175】 スイッチ素子SW₄₃が開かれている状態において、第1電荷蓄積回路310は、スイッチ素子SW_{41A}が閉じてスイッチ素子SW_{42A}、SW_{41B}、SW_{42B}が開いているときに、第1容量素子C_{41A}に電荷を蓄積し、スイッチ素子SW_{41B}が閉じてスイッチ素子SW_{41A}、SW_{42A}、SW_{42B}が開いているときに、第2容量素子C_{41B}に電荷を蓄積する。スイッチ素子SW_{41A}、SW_{41B}、SW₄₃は、タイミング制御回路50から出力される制御信号A、B、Rに基づいて開閉する。スイッチ素子SW_{42A}、SW_{42B}は、第1シフトレジスタ320から出力される信号shif

$t(H_{mA})$, $shift(H_{mB})$ により制御されて順次閉じられる。スイッチ素子 SW_{42A} を閉じることにより、第1容量素子 C_{41A} に蓄積された電荷が電流となって、第1積分回路330に出力される。また、スイッチ素子 SW_{42B} を閉じることにより、第2容量素子 C_{41B} に蓄積された電荷が電流となって、第1積分回路330に
5 出力される。第1シフトレジスタ320は、タイミング制御回路50から出力される信号によりその動作が制御されて、スイッチ素子 SW_{42A} , SW_{42B} を順次閉じる。

【0176】 第1積分回路330は、第1容量素子 C_{41A} 及び第2容量素子 C_{41B} から当該第1容量素子 C_{41A} 及び第2容量素子 C_{41B} に蓄積されている電荷に対応した電流出力を順次入力し、その電流出力を電圧出力に変換して第1差分演算回路
10 340に出力する。第1積分回路330は、図25に示されるように、入力端子と出力端子との間に互いに並列にアンプ A_{41} 、積分容量部 C_{42} およびスイッチ素子 SW_{44} が接続されている。アンプ A_{41} は、その反転入力端子が第1電荷蓄積回路310の出力端子310Bと接続され、非反転入力端子が第1基準電位 V_{ref1} とされ、
15 出力端子が第1差分演算回路340と接続されている。積分容量部 C_{42} およびスイッチ素子 SW_{44} は、アンプ A_{41} の反転入力端子と出力端子との間に設けられている。第1積分回路330は、スイッチ素子 SW_{44} が閉じているときには、積分容量部 C_{42} を放電して初期化する。一方、第1積分回路330は、スイッチ素子 SW_{44} が開いているときには、入力端子に入力した電荷を積分容量部 C_{42} に蓄積して、
20 その蓄積された電荷の量に応じた値の電圧出力を出力端子から出力する。

【0177】 第1差分演算回路340は、第1電荷蓄積回路310の第1容量素子 C_{41A} 及び第2容量素子 C_{41B} それぞれに蓄積されている電荷量の差分を求め、その差分に応じた電圧出力を出力する。第1差分演算回路340は、図26に示されるように、入力端子と出力端子との間に順に容量素子 C_{43} およびアンプ A_{42}
25 を有し、また、スイッチ素子 SW_{45} および容量素子 C_{44} がアンプ A_{42} の入出力間に互いに並列的に接続されている。アンプ A_{42} は、その反転入力端子が第1積分回

路 330 の出力端子と接続され、非反転入力端子が第 2 基準電位 V_{ref2} とされている。第 1 差分演算回路 340 の出力端子は、第 1 A/D 変換回路 170 の入力端子に接続されている。第 1 差分演算回路 340 は、スイッチ素子 SW_{45} を閉じているときには、第 1 積分回路 330 から容量素子 C_{43} に電荷 Q_1 だけ充電する。
5 そして、スイッチ素子 SW_{45} を開いているときには、第 1 積分回路 330 から容量素子 C_{43} を経て流入した電荷 Q_2 だけ容量素子 C_{44} から放電する。このようにして、電荷 Q_1 と電荷 Q_2 との差分すなわち電荷 $(Q_1 - Q_2)$ を容量素子 C_{44} に蓄積して、その蓄積された電荷 $(Q_1 - Q_2)$ に応じた電圧出力をアンプ A_{42} から出力する。スイッチ素子 SW_{45} は、タイミング制御回路 50 から出力される
10 Clamp 信号に基づいて開閉する。

【0178】 第 1 A/D 変換回路 170 は、第 1 差分演算回路 340 からの電圧出力（アナログ値）を順次入力し、その電圧出力をデジタル値に変換し、そのデジタル値を出力する。第 1 A/D 変換回路 170 から出力されるデジタル値は、第 2 の方向での輝度プロファイル（デジタルデータ）を表す出力となる。

15 【0179】 第 3 実施形態に係る光検出装置の第 2 信号処理回路 30 は、図 23 に示されるように、第 2 電荷蓄積回路 410 と、第 2 シフトレジスタ 420 と、第 2 積分回路 430 と、第 2 差分演算回路 440 と、第 2 A/D 変換回路 270 とを有している。図 23 は、第 2 信号処理回路を示す概略構成図である。

20 【0180】 第 2 電荷蓄積回路 410 は、他方の光感応部分 13_m 群に対応して設けられ、対応する他方の光感応部分群 13_m からの電流出力を入力する入力端子と出力端子との間に並列的に設けられた第 3 容量素子及び第 4 容量素子を有し、他方の光感応部分 13_m 群にて上記第 1 の期間にわたり蓄積された電荷に対応した電流出力に応じて電荷を第 3 容量素子に蓄積し、他方の光感応部分 13_m 群にて上記第 2 の期間にわたり蓄積された電荷に対応した電流出力に応じて電荷
25 を第 4 容量素子に蓄積する。第 2 電荷蓄積回路 410 は、図 24 に示された第 1 電荷蓄積回路 310 と同等の構成を有し、上記第 3 容量素子、第 4 容量素子及び

5 個のスイッチ素子を含んでいる。入力端子と第 3 容量素子及び第 4 容量素子との間に設けられている 3 個のスイッチ素子は、スイッチ素子 SW_{41A} , SW_{41B} , SW_{43} と同様に、タイミング制御回路 50 から出力される制御信号 A, B, R に基づいて開閉する。出力端子と第 3 容量素子及び第 4 容量素子との間に設けられて

5 いる 2 個のスイッチ素子は、スイッチ素子 SW_{42A} , SW_{42B} と同様に、第 2 シフトレジスタ 420 から出力される信号 $shift(V_{nA})$, $shift(V_{nB})$ により制御されて順次閉じられる。第 2 シフトレジスタ 420 は、第 1 シフトレジスタ 320 と同様に、タイミング制御回路 50 から出力される信号によりその動作が制御されて、上記各スイッチ素子を順次閉じる。

10 【0181】 第 2 積分回路 430 は、第 3 容量素子及び第 4 容量素子から当該第 3 容量素子及び第 4 容量素子に蓄積されている電荷に対応した電流出力を順次入力し、その電流出力を電圧出力に変換して第 2 差分演算回路 440 に出力する。第 2 積分回路 430 は、図 25 に示された第 1 積分回路 330 と同等の構成を有し、入力端子と出力端子との間に互いに並列にアンプ、積分容量部およびスイッチ素子が接続されている。第 2 積分回路 430 は、スイッチ素子が閉じているときには、積分容量部を放電して初期化する。一方、第 2 積分回路 430 は、スイッチ素子が開いているときには、入力端子に入力した電荷を積分容量部に蓄積して、その蓄積された電荷の量に応じた値の電圧出力を出力端子から出力する。

15

20 【0182】 第 2 差分演算回路 440 は、第 2 電荷蓄積回路 410 の第 3 容量素子及び第 4 容量素子それぞれに蓄積されている電荷量の差分を求め、その差分に応じた電圧出力を出力する。第 2 差分演算回路 440 は、図 26 に示された第 1 差分演算回路 340 と同等の構成を有し、入力端子と出力端子との間に順に容量素子およびアンプを有し、また、当該アンプの入出力間にスイッチ素子および容量素子が互いに並列的に接続されている。第 2 差分演算回路 440 は、スイッチ素子を閉じているときには、第 2 積分回路 430 からアンプと縦続接続された容量素子に電荷 Q_3 だけ充電する。そして、スイッチ素子を開いているときには、

25

第2積分回路430からアンプと縦続接続された容量素子を経て流入した電荷 Q_4 だけアンプに並列接続された容量素子から放電する。このようにして、電荷 Q_3 と電荷 Q_4 との差分すなわち電荷 $(Q_3 - Q_4)$ をアンプに並列接続された容量素子に蓄積して、その蓄積された電荷 $(Q_3 - Q_4)$ に応じた電圧出力を当該アンプから出力する。スイッチ素子は、上記スイッチ素子 SW_{45} と同様に、タイミング制御回路50から出力されるClamp信号に基づいて開閉する。

【0183】 第2A/D変換回路270は、第2差分演算回路440からの電圧出力（アナログ値）を順次入力し、その電圧出力をデジタル値に変換し、そのデジタル値を出力する。第2A/D変換回路270から出力されるデジタル値は、第1の方向での輝度プロファイル（デジタルデータ）を表す出力となる。

【0184】 続いて、図27に基づいて、第3実施形態の光検出装置における第1信号処理回路20及び第2信号処理回路30の動作について説明する。図27は、第1信号処理回路の動作を説明するためのタイミングチャートである。

【0185】 時刻 t_1 に、制御信号RがHighとなることにより、各第1電荷蓄積回路310のスイッチ素子 SW_{43} が閉じて、入力端子310Aが第1基準電位 V_{ref1} とされ、初期化される。時刻 t_2 に、制御信号RがLowとなることにより、スイッチ素子 SW_{43} が開く。

【0186】 時刻 t_3 において、制御信号BがHighとなることにより、各第1電荷蓄積回路310のスイッチ素子 SW_{41B} が閉じると、時刻 t_4 にてスイッチ素子 SW_{41B} が開くまでの間、時刻 $t_2 \sim t_4$ の期間（第2の期間）にわたり一方の光感応部分12_m群にて蓄積された電荷に対応する電流が出力され、当該電流出力に対応する電荷が各第1電荷蓄積回路310の第2容量素子 C_{41B} に蓄積される。このとき、発光素子5からスポット光が照射されておらず、第2容量素子 C_{41B} に蓄積される電荷は背景光成分のみに対応した電荷となる。

【0187】 時刻 t_5 に、再び制御信号RがHighとなることにより、各第1電荷蓄積回路310のスイッチ素子 SW_{43} が閉じて、入力端子310Aが第1基準

電位 V_{ref1} とされ、初期化される。時刻 t_6 に、制御信号 R が Low となることにより、スイッチ素子 SW_{43} が開く。

【0188】 時刻 t_7 において、制御信号 A が High となることにより、各第1電荷蓄積回路310のスイッチ素子 SW_{41A} が閉じると、時刻 t_8 にてスイッチ素子 SW_{41A} が開くまでの間、時刻 $t_6 \sim t_8$ の期間（第1の期間）にわたり一方の光感応部分12_m 群にて蓄積された電荷に対応する電流が出力され、当該電流出力に対応する電荷が各第1電荷蓄積回路310の第1容量素子 C_{41A} に蓄積される。このとき、時刻 $t_6 \sim t_7$ の期間において発光素子5から対象物にスポット光が照射されており、対象物により反射されたスポット光成分および背景光成分の双方が光感応領域10に入射しているので、第1容量素子 C_{41A} に蓄積される電荷は背景光成分及びスポット光成分に対応した電荷となる。

【0189】 時刻 t_8 に、Reset 信号が High となることにより、第1積分回路330のスイッチ素子 SW_{44} が閉じて、容量素子 C_{42} が放電され初期化される。また、Clamp 信号も High となることにより、第1差分演算回路340のスイッチ素子 SW_{45} が閉じて、容量素子 C_{43} への電荷の蓄積（充電）が可能な状態となる。

【0190】 時刻 t_9 に、Reset 信号が Low となることにより、第1積分回路330のスイッチ素子 SW_{44} が開く。そして、時刻 t_{10} に、信号 $shift$ (H_{1B}) が High となることにより、一方の光感応部分12_{in} 群に対応する第1電荷蓄積回路310のスイッチ素子 SW_{42B} が閉じ、当該第1電荷蓄積回路310の第2容量素子 C_{41B} に蓄積されている電荷が電流として出力される。そして、その電流出力を入力した第1積分回路330では、容量素子 C_{42} に電荷が蓄積され、その蓄積された電荷の量に応じた電圧出力 V_{out1} が第1積分回路330から出力される。この第1積分回路330からの電圧出力 V_{out1} は、第1差分演算回路340の容量素子 C_{43} に保持される。このとき、第1積分回路330から出力される電圧出力 V_{out1} は、背景光成分のみに相当するものである。

【0191】 時刻 t_{11} に、信号 $shift$ (H_{1B}) が Low となることにより、一

方の光感応部分 1 2_{1n} 群に対応する第 1 電荷蓄積回路 3 1 0 のスイッチ素子 SW_{42B} が開く。また、Clamp 信号も Low となることにより、第 1 差分演算回路 3 4 0 のスイッチ素子 SW₄₅ が開いて、容量素子 C₄₄ に流入する電荷だけ放電することが可能な状態となる。

5 【0 1 9 2】 時刻 t_{12} に、信号 *s h i f t* (H_{1A}) が High となることにより、一方の光感応部分 1 2_{1n} 群に対応する第 1 電荷蓄積回路 3 1 0 のスイッチ素子 SW_{42A} が閉じ、当該第 1 電荷蓄積回路 3 1 0 の第 1 容量素子 C_{41A} に蓄積されている電荷が電流として出力される。そして、その電流出力を入力した第 1 積分回路 3 3 0 では、容量素子 C₄₂ に電荷が蓄積され、その蓄積された電荷の量に応じた電圧出力 V_{out1} が第 1 積分回路 3 3 0 から出力される。このとき、第 1 積分回路 3 3 0 からの電圧出力 V_{out1} は、背景光成分及びスポット光成分に相当するものである。

10 【0 1 9 3】 また、第 1 差分演算回路 3 4 0 のスイッチ素子 SW₄₅ が開いていることから、第 1 差分演算回路 3 4 0 の容量素子 C₄₄ には、第 2 容量素子 C_{41B} に蓄積されている電荷に対応する電圧出力と第 1 容量素子 C_{41A} に蓄積されている電荷に対応する電流出力との差が保持される。そして、第 1 差分演算回路 3 4 0 の容量素子 C₄₄ に保持されている電圧出力がアンプ A₄₂ を介して出力される。このアンプ A₄₂ からの電圧出力 V_{out2} は、スポット光成分のみに相当するものである。

15 【0 1 9 4】 時刻 t_{13} に、信号 *s h i f t* (H_{1A}) が Low となることにより、一方の光感応部分 1 2_{1n} 群に対応する第 1 電荷蓄積回路 3 1 0 のスイッチ素子 SW_{42A} が開く。また、Reset 信号が High となることにより、第 1 積分回路 3 3 0 のスイッチ素子 SW₄₄ が閉じ、Clamp 信号も High となることにより、第 1 差分演算回路 3 4 0 のスイッチ素子 SW₄₅ が閉じる。

20 【0 1 9 5】 続いて、時刻 $t_{13} \sim t_{14}$ の期間において、時刻 $t_8 \sim t_{13}$ の期間と同様な処理が行われ、一方の光感応部分 1 2_{2n} 群に対応する電圧出力 V_{out2} が第 1 差分演算回路 3 4 0 から出力されることとなる。以下、時刻 $t_8 \sim t_{13}$ の期間の処理を繰り返して行なうことで、一方の光感応部分 1 2_{mn} 群それぞれに対応する電圧

出力 V_{out2} が第1差分演算回路340から順次出力されることとなる。第1差分演算回路340からの電圧出力 V_{out2} は、上述したように第1A/D変換回路170に順次入力され、デジタル値に変換されて、第1A/D変換回路170から出力される。

5 【0196】 第2信号処理回路30に含まれる第2電荷蓄積回路410、第2シフトレジスタ420、第2積分回路430、第2差分演算回路440及び第2A/D変換回路270は、第1信号処理回路20に含まれる第1電荷蓄積回路310、第1シフトレジスタ320、第1積分回路330、第1差分演算回路340、第1A/D変換回路170と同等の動作（図27参照）を行い、スポット光
10 成分のみに相当する電圧値を有する電圧出力が第1差分演算回路340から出力される。第1差分演算回路340からの電圧出力は、上述したように第2A/D変換回路270に順次入力され、デジタル値に変換されて、第2A/D変換回路270から出力される。

15 【0197】 以上のように、本第3実施形態の光検出装置においても、光感応領域10に背景光が入射した場合でも、背景光成分を除去した状態で、第1及び第2の方向での輝度プロファイルを検出することができる。これらの結果、光感応領域10に入射した光の2次元位置を極めて精度良く検出することができる。

20 【0198】 また、本第3実施形態の光検出装置において、第1信号処理回路20は、第1容量素子 C_{41A} 及び第2容量素子 C_{41B} を有する第1電荷蓄積回路310と、第1差分演算回路340とを含み、第2信号処理回路30は、第3容量素子及び第4容量素子を有する第2電荷蓄積回路410と、第2差分演算回路440とを含んでいる。これにより、第1電荷蓄積回路310において、対応する一方の光感応部分12_{mn}群にて第1の期間にわたり蓄積された電荷に対応した電流出力に応じて電荷が第1容量素子 C_{41A} に蓄積され、対応する一方の光感応部分1
25 2_{mn}群にて第2の期間にわたり蓄積された電荷に対応した電流出力に応じて電荷が第2容量素子 C_{41B} に蓄積され、第1差分演算回路340において、第1容量素

子 C_{41A} 及び第2容量素子 C_{41B} それぞれに蓄積されている電荷量の差分が求められ、その差分に応じた電圧出力 V_{out2} が出力される。また、第2電荷蓄積回路410において、対応する他方の光感応部分13_m群にて第1の期間にわたり蓄積された電荷に対応した電流出力に応じて電荷が第3容量素子に蓄積され、対応する他方の光感応部分13_m群にて第2の期間にわたり蓄積された電荷に対応した電流出力に応じて電荷が第4容量素子に蓄積され、第2差分演算回路において、第3容量素子及び第4容量素子それぞれに蓄積されている電荷量の差分が求められ、その差分に応じた電圧出力が出力される。これにより、第1及び第2信号処理回路20、30の構成の簡素化及び低コスト化を図ることができる。

【0199】 また、第1信号処理回路20は、第1積分回路330と、第1A/D変換回路170とを更に含み、第2信号処理回路30は、第2積分回路430と、第2A/D変換回路270とを更に含んでいる。これにより、第1及び第2の方向での輝度プロファイルをデジタル値として出力することができる。

【0200】 (第4実施形態)

【0201】 次に、図28～図31に基づいて、第4実施形態に係る光検出装置について説明する。第1実施形態の光検出装置と第4実施形態の光検出装置とでは、第1信号処理回路20及び第2信号処理回路30の構成に関して相違する。

【0202】 第4実施形態に係る光検出装置の第1信号処理回路20は、図28に示されるように、第1積分回路510と、第1除去回路520と、第1差分演算回路530と、第1S/H回路140と、第1シフトレジスタ150と、第1スイッチ素子160と、第1A/D変換回路170とを有している。図28は、第1信号処理回路を示す概略構成図である。

【0203】 第1積分回路510は、一方の光感応部分12_m群に対応して設けられ、対応する一方の光感応部分12_m群からの電流出力を電圧出力に変換して、当該電圧出力を出力する。第1積分回路510は、図30に示されるように、一方の光感応部分12_m群から入力される光電流 I_1 を増幅するアンプ A_{11} と、ア

ンプ A_{11} の入出力接点間に並列接続された容量素子 C_{11} とスイッチ素子 SW_{11} で構成されている。よって、リセット信号 RS_1 によってスイッチ素子 SW_{11} がオフ状態となるときは、光電流 I_1 が容量素子 C_{11} に充電され、リセット信号 RS_1 によってスイッチ素子 SW_{11} がオン状態となるときは、容量素子 C_{11} の電荷が放電される。ここで、第1積分回路510の積分動作時間を数 μs に設定するために、容量素子 C_{11} は数 pF に設定されている。なお、スイッチ素子 SW_{12} の「オン/オフ」信号(ST)により、アンプ A_{11} の入出力端子間への容量素子 C_{11} の接続を制御する。

【0204】 第1除去回路520は、一方の光感応部分 12_m 群に対応して設けられ、上記第1の期間における一方の光感応部分群 12_m からの電流出力から、上記第2の期間における一方の光感応部分群 12_m からの電流出力を除去して、出力する。この第1除去回路520は、図30にも示されるように、第1積分回路510の入力端子に接続されている。第1除去回路520は、ソース端子が第1積分回路510の入力端子に、ドレイン端子が GND (接地レベル)に接続された第1MOSトランジスタ MQ_{51} を備え、第1MOSトランジスタ MQ_{51} のゲート端子が第1容量素子 C_{51} を介して接地される。そして、第1MOSトランジスタ MQ_{51} のゲート端子には、タイミング制御回路50から発行される制御信号 RM により「オン/オフ」が制御される第1スイッチ素子 SW_{51} を介して第1積分回路510の出力が接続される。

【0205】 第1差分演算回路530は、第1積分回路510に対応して設けられ、当該第1積分回路510からの電圧出力のうちの上記第2の期間に対応した電圧出力(上記第2の期間にわたり一方の光感応部分 12_m 群にて蓄積された電荷に対応する電流出力に応じた電圧出力(アナログ値))を保持するとともに、当該第1積分回路510からの電圧出力のうちの上記第1の期間に対応した電圧出力(上記第1の期間にわたり一方の光感応部分 13_m 群にて蓄積された電荷に対応する電流出力に応じた電圧出力(アナログ値))との差分に応じた電圧出力を

出力する。この第1差分演算回路530は、図30にも示されるように、第1積分回路510の出力接点（即ち、アンプA₁₁の出力接点）に接続されている。第1差分演算回路530は、スイッチ素子SW₆₁及び容量素子C₆₁、アンプA₆₁とその入出力接点間に並列接続された容量素子C₆₂及びスイッチ素子SW₆₂で構成されている。そして、アンプA₆₁の出力接点が出力端子に接続されている。尚、容量素子C₆₁と容量素子C₆₂は、回路全体の動作速度マージンとノイズマージンとの兼ね合いから、共に1 p F程度の等しい容量値のものが適用されている。更に、スイッチ素子SW₆₁は、タイミング制御回路50から出力された切換え信号CSW5によってオン状態とオフ状態とが切換わる。又、第1差分演算回路530は、タイミング制御回路50から出力されたリセット信号RS2によってスイッチ素子SW₆₂がオフ状態となるときは蓄積動作し、逆に、リセット信号RS2によってスイッチ素子SW₆₂がオン状態となるときは蓄積動作を停止する。

【0206】 第4実施形態に係る光検出装置の第2信号処理回路30は、図29に示されるように、第2積分回路610と、第2除去回路620と、第2差分演算回路630と、第2S/H回路240と、第2シフトレジスタ250と、第2スイッチ素子260と、第2A/D変換回路270とを有している。図29は、第2信号処理回路を示す概略構成図である。

【0207】 第2積分回路610は、他方の光感応部分13_m群に対応して設けられ、対応する他方の光感応部分13_m群からの電流出力を電圧出力に変換して、当該電圧出力を出力する。第2積分回路610は、図30に示された第1積分回路510と同等の構成を有し、他方の光感応部分13_m群から入力される光電流を増幅するアンプと、当該アンプの入出力接点間に並列接続された容量素子とスイッチ素子で構成されている。

【0208】 第2除去回路620は、他方の光感応部分13_m群に対応して設けられ、上記第1の期間における他方の光感応部分群13_mからの電流出力から、上記第2の期間における他方の光感応部分群13_mからの電流出力を除去して、

出力する。第2除去回路620は、図30に示された第1除去回路520と同等の構成を有し、ソース端子が第2積分回路610の入力端子に、ドレイン端子がGND（接地レベル）に接続された第2MOSトランジスタを備え、第2MOSトランジスタのゲート端子が第2容量素子を介して接地される。そして、第2MOSトランジスタのゲート端子には、タイミング制御回路50から発行される制御信号RMにより「オン／オフ」が制御される第2スイッチ素子を介して第2積分回路610の出力が接続される。

【0209】 第2差分演算回路630は、第2積分回路610に対応して設けられ、当該第2積分回路610から出力される電圧出力のうちの上記第2の期間に対応した電圧出力（上記第2の期間にわたり他方の光感応部分13_m群にて蓄積された電荷に対応する電流出力に応じた電圧出力（アナログ値））を保持するとともに、当該第2積分回路610からの電圧出力のうちの上記第1の期間に対応した電圧出力（上記第1の期間にわたり他方の光感応部分13_m群にて蓄積された電荷に対応する電流出力に応じた電圧出力（アナログ値））との差分に応じた電圧出力を出力する。第2差分演算回路630は、図30に示された第1差分演算回路530と同等の構成を有し、スイッチ素子及び容量素子、アンプとその入出力接点間に並列接続された容量素子及びスイッチ素子とで構成されている。

【0210】 続いて、図31に基づいて、第4実施形態の光検出装置における第1信号処理回路20及び第2信号処理回路30の動作について説明する。図31は、第1信号処理回路の動作を説明するためのタイミングチャートである。

【0211】 まず、定常背景光成分検出期間Tにおいて、発光素子5がスポット光を出力しない状態に設定されると同時に、第1スイッチ素子SW₅₁をオンにして、背景光を検出する。この時、同時に第1積分回路510は、タイミング制御回路50から出力されるリセット信号RS1によりスイッチ素子SW₁₁が「オン」に設定され、タイミング制御回路50から出力される制御信号STによりスイッチ素子SW₁₂が「オフ」に設定されることにより、非積分動作状態に設定さ

れる。この状態では、第1積分回路510の入力端子には、当該第1積分回路510に対応する一方の光感応部分群12_mからの電流出力が入力される。そして、非積分動作時に第1積分回路510からの電圧出力が第1MOSトランジスタMQ₅₁のゲート端子に供給されることにより、この電流の全ては第1除去回路520の第1MOSトランジスタMQ₅₁で除去される。この状態での第1MOSトランジスタMQ₅₁のゲート・ソース間電圧V_{gs}は、

$$V_{gs} = (2 \times I_T / \beta)^{1/2} + V_{th} \quad \cdots (1)$$

I_T : 電流値

β : 第1MOSトランジスタMQ₅₁のサイズで決まる定数

V_{th} : 第1MOSトランジスタMQ₅₁の閾値

で表される。

【0212】 時間Tが経過すると、第1スイッチ素子SW₅₁を「オフ」とする。この結果、第1スイッチ素子SW₅₁の「オフ」時点で第1積分回路510の入力端子に供給されていた電流値だけ、引き続いて第1MOSトランジスタMQ₅₁を流れ続ける。すなわち、第1MOSトランジスタMQ₅₁のゲート・ソース間電圧V_{gs}が保持され、以後の計測にあたってのノイズの主成分である、背景光の平均的な寄与分が除去される。

【0213】 次に、スイッチ素子SW₁₂を「オン」に切換え、第1積分回路510を積分動作状態にした後、背景光変化分検出期間T₁（時間幅：τ）の間、スイッチ素子SW₁₁を「オフ」とする。この状態が設定されると、背景光の変化分に相当する電流出力が第1積分回路510に流入し、容量素子C₁₁に充電される。

【0214】 この結果、期間T₁では、背景光のみを入射し、背景光の変動によって発生した光電流の変動分I₁を第1積分回路510が容量素子C₁₁に充電するので、積分出力V₁が次第に上昇していく。そして、この時間τ経過時における第1積分回路510の積分出力の電圧をV₁₁、背景光の変動分によって一方の光感応部分群12_mから入力される電流をI_dとすれば、I₁ = I_dから、

$$V_{11} = I_d \cdot \tau / C_{11} \quad \dots \quad (2)$$

C_{11} : 容量素子 C_{11} の容量

となる。

【0215】 時間 τ が経過すると、スイッチ素子 SW_{61} が一瞬「オン」となり、
第1差分演算回路530に伝達され、その電圧 V_{11} が容量素子 C_{61} に保持され
る。また、時間 τ が経過すると、スイッチ素子 SW_{11} は「オン」に切換えられ、
第1積分回路510はリセットされる。

【0216】 次いで、(スポット光+背景光変化分) 検出期間 T_2 (時間幅： τ)
の間、発光素子5が点灯される。この点灯時、同時にスイッチ素子 SW_{11} , SW_{62}
とが「オフ」に設定される。そして、このような切換え動作の結果、第1積分回
路510は背景光の変化分とスポット光成分との和に相当する光電流 I_1 を容量
素子 C_{11} に充電していく。

【0217】 ここで、時間 τ 経過時点での第1積分回路510の積分出力の電
圧を V_{12} 、反射スポット光成分による電流を I_{sh} 、背景光の変動分の光強度は
期間 T_1 のときと変わらないので背景光変動分の電流を I_d とすると、 $I_1 = I_d$
+ I_{sh} から、

$$V_{12} = (I_{sh} + I_d) \cdot \tau / C_{11} \quad \dots \quad (3)$$

の関係となる。

【0218】 期間 T_2 の経過時にスイッチ素子 SW_{61} を一瞬「オン」にし、第
1積分回路510の積分出力の電圧 V_{12} を第1差分演算回路530に伝達する。
また、第1差分演算回路530は、期間 T_1 ではリセット状態であり、期間 T_2
では減算動作を行うので、電荷保存の法則により、

$$(V_{12} - V_{11}) \cdot C_{12} = V_{01} \cdot C_{13} \quad \dots \quad (4)$$

C_{12} : 容量素子 C_{61} の容量

C_{13} : 容量素子 C_{62} の容量

に従った電荷が、容量素子 C_{61} , C_{62} に保持される。

【0219】 そして、上記式(4)に式(2)及び(3)を代入とすると第1差分演算回路530の出力端子に発生する出力 V_{o1} の電圧は、

$$V_{o1} = I_{sh} \cdot \tau \cdot C_{12} / C_{11} \cdot C_{13} \quad \dots \quad (5)$$

で示される値となる。また、容量素子 C_{61} と容量素子 C_{62} の容量を等しくすると、

$$V_{o1} = I_{sh} \cdot \tau / C_{11} \quad \dots \quad (6)$$

となる。

【0220】 第1S/H回路140のスイッチ素子 SW_4 が閉じると、第1差分演算回路530の出力端子に発生する出力 V_{o1} は、第1S/H回路140の容量素子 C_4 に保持され、出力される。各第1S/H回路140からの電圧出力は、上述したように第1A/D変換回路170に順次入力され、デジタル値に変換されて、第1A/D変換回路170から出力される。

【0221】 第2信号処理回路30に含まれる第2積分回路610、第2除去回路620、第2差分演算回路630、第2S/H回路240、第2シフトレジスタ250、第2スイッチ素子260及び第2A/D変換回路270は、第1信号処理回路20に含まれる第1積分回路510、第1除去回路520、第1差分演算回路530、第1S/H回路140、第1シフトレジスタ150、第1スイッチ素子160及び第1A/D変換回路170と同等の動作(図31参照)を行い、スポット光成分のみに相当する電圧値を有する電圧出力が第2S/H回路240から出力される。各第2S/H回路240からの電圧出力は、上述したように第2A/D変換回路270に順次入力され、デジタル値に変換されて、第2A/D変換回路270から出力される。

【0222】 以上のように、本第4実施形態の光検出装置においても、光感応領域10に背景光が入射した場合でも、背景光成分を除去した状態で、第1及び第2の方向での輝度プロファイルを検出することができる。これらの結果、光感応領域10に入射した光の2次元位置を極めて精度良く検出することができる。

【0223】 また、本第4実施形態の光検出装置においては、第1除去回路5

20により、上記第1の期間における一方の光感応部分群12_mからの電流出力から、上記第2の期間における一方の光感応部分群12_mからの電流出力が除去されることとなる。これにより、光感応領域10に背景光が入射した場合でも、背景光成分を除去した状態で、第2の方向での輝度プロファイルを検出することができる。また、第2除去回路620により、上記第1の期間における他方の光感応部分群13_mからの電流出力から、上記第2の期間における他方の光感応部分群13_mからの電流出力が除去されることとなる。これにより、光感応領域10に背景光が入射した場合でも、背景光成分を除去した状態で、第1の方向での輝度プロファイルを検出することができる。これらの結果、入射した光の2次元位置を極めて精度良く検出することができる。

【0224】 また、本第4実施形態の光検出装置において、第1除去回路520は、ソース端子が一方の光感応部分12_mに接続され、ドレイン端子が接地された第1MOSトランジスタMQ₅₁と、一方の端子が第1MOSトランジスタMQ₅₁のゲート端子と接続され、他方の端子が接地された第1容量素子C₅₁と、一方の端子が第1MOSトランジスタMQ₅₁のゲート端子と接続され、他方の端子が第1積分回路510の出力と接続された第1スイッチ素子SW₅₁と、を含み、第2除去回路620は、ソース端子が他方の光感応部分に接続され、ドレイン端子が接地された第2MOSトランジスタと、一方の端子が第2MOSトランジスタのゲート端子と接続され、他方の端子が接地された第2容量素子と、一方の端子が第2MOSトランジスタのゲート端子と接続され、他方の端子が第2積分回路の出力と接続された第2スイッチ素子と、を含んでいる。これにより、上記第1及び第2除去回路520, 620を簡易且つ低コストにて構成することができる。

【0225】 また、本第4実施形態の光検出装置においては、第1差分演算回路530と、第1S/H回路140と、第1A/D変換回路170と、第2差分演算回路630と、第2S/H回路240と、第2A/D変換回路270とを更に有している。これにより、背景光成分を確実に除去することができ、第1の方

向での輝度プロファイルと第2の方向での輝度プロファイルとをより一層高精度にて得ることができる。また、第1及び第2の方向での輝度プロファイルをデジタル値として出力することができる。

【0226】 本発明は、前述した実施形態に限定されるものではない。たとえば、シフトレジスタを用いる代わりに、各光感応部分 12_m 、 13_m （第2導電型半導体領域41、42）を均一な抵抗線で接続して、光の入射に伴って発生した電荷を抵抗線に流れ込んだ位置と当該抵抗線それぞれの端部との距離に反比例するように抵抗分割して抵抗線の端部から取り出し、当該端部からの電流出力に基づいて光の入射位置を求めるようにしてもよい。

【0227】 また、前述した実施形態においては、1画素を複数の光感応部分で構成しているが、1画素を一つの光感応部分で構成してもよい。たとえば、図32に示されるように、光感応領域10は、第1の方向にわたって互いに電氣的に接続される複数の第1光感応部分 12_m と第2の方向にわたって互いに電氣的に接続される複数の第2光感応部分 13_m とを含み、複数の第1光感応部分 12_m と複数の第2光感応部分 13_m とは2次元的に混在した状態で同一面内にて配列してもよい。この場合、第1光感応部分 12_m と第2光感応部分 13_m とは市松模様状に配列しており、第1光感応部分 12_m と第2光感応部分 13_m とは第1の方向及び第2の方向において交互に配列している。なお、市松模様状に配列する代わりに、図8に示されるようなハニカム状に配列してもよい。

【0228】 また、第1信号処理回路20及び第2信号処理回路30は、同じタイミングにて動作させてもよく、時系列順で独立して動作させてもよい。

産業上の利用可能性

【0229】 本発明の光検出装置は、反射光あるいは直接光の入射位置検出システムに利用できる。

請求の範囲

1. 対象物に光を照射する光源とともに用いられ、画素が2次元配列された光感応領域を有する光検出装置であって、

各々入射した光の強度に応じた電流を出力する複数の光感応部分を同一面内に
5 隣接して配設することで1画素が構成され、

前記2次元配列における第1の方向に配列された複数の画素にわたって、当該各画素を構成する複数の光感応部分のうち一方の光感応部分同士が電氣的に接続され、

前記2次元配列における第2の方向に配列された複数の画素にわたって、当該
10 各画素を構成する複数の光感応部分のうち他方の光感応部分同士が電氣的に接続されており、

前記光源により前記対象物に前記光が照射されている第1の期間にわたり前記第1の方向に配列された前記複数の画素間において電氣的に接続された一方の光感応部分群にて蓄積された電荷に対応する出力と、前記光源により前記対象物に
15 前記光が照射されていない第2の期間にわたり前記一方の光感応部分群にて蓄積された電荷に対応する出力との差分に基づいて、前記第2の方向での輝度プロファイルを検出する第1信号処理回路と、

前記第1の期間にわたり前記第2の方向に配列された前記複数の画素間において電氣的に接続された他方の光感応部分群にて蓄積された電荷に対応する出力と、
20 前記第2の期間にわたり前記他方の光感応部分群にて蓄積された電荷に対応する出力との差分に基づいて、前記第1の方向での輝度プロファイルを検出する第2信号処理回路と、を有することを特徴とする光検出装置。

2. 前記第1信号処理回路は、

前記一方の光感応部分群からの電流出力を前記第2の方向に順次読み出すた
25 めの第1シフトレジスタと、

前記第1シフトレジスタにより順次読み出される前記各一方の光感応部分群

からの電流出力を順次入力し、その電流出力を電圧出力に変換して出力する第1積分回路と、

前記第1積分回路からの電圧出力の変化量に応じた電圧出力を出力する第1CDS回路と、

5 前記第1CDS回路から出力される電圧出力をデジタル値に変換し、そのデジタル値を出力する第1A/D変換回路と、

前記第1A/D変換回路から出力された前記デジタル値に基づいて、前記第1の期間に対応したデジタル値と前記第2の期間に対応したデジタル値との差分を求める第1差分演算回路と、を含み、

10 前記第2信号処理回路は、

前記他方の光感応部分群からの電流出力を前記第1の方向に順次読み出すための第2シフトレジスタと、

前記第2シフトレジスタにより順次読み出される前記各他方の光感応部分群からの電流出力を順次入力し、その電流出力を電圧出力に変換して出力する第2積分回路と、
15

前記第2積分回路からの電圧出力の変化量に応じた電圧出力を出力する第2CDS回路と、

前記第2CDS回路から出力される電圧出力をデジタル値に変換し、そのデジタル値を出力する第2A/D変換回路と、

20 前記第2A/D変換回路から出力された前記デジタル値に基づいて、前記第1の期間に対応したデジタル値と前記第2の期間に対応したデジタル値との差分を求める第2差分演算回路と、を含んでいることを特徴とする請求の範囲第1項に記載の光検出装置。

3. 前記第1信号処理回路は、前記第1A/D変換回路と前記第1差分演算回路との間に設けられ、前記第1の期間に対応した前記デジタル値と前記第2の期間に対応した前記デジタル値とを記憶し、当該記憶したデジタル値を前記第
25

1 差分演算回路に出力する第1デジタルメモリを更に含み、

前記第2信号処理回路は、前記第2A/D変換回路と前記第2差分演算回路との間に設けられ、前記第1の期間に対応した前記デジタル値と前記第2の期間に対応した前記デジタル値とを記憶し、当該記憶したデジタル値を前記第2差分演算回路に出力する第2デジタルメモリを更に含んでいることを特徴とする請求の
5 範囲第2項に記載の光検出装置。

4. 前記第1信号処理回路は、

前記一方の光感応部分群に対応して設けられ、対応する一方の光感応部分群からの電流出力を電圧出力に変換して出力する第1積分回路と、

前記第1積分回路に対応して設けられ、対応する第1積分回路からの電圧出力を入力する入力端子と出力端子との間に順に設けられた第1結合容量素子および第1増幅器と、前記第1増幅器の入出力間に並列的に設けられた第1積分容量素子と、前記第1積分容量素子に前記電圧出力の変化量に応じた電荷量を蓄積させる第1スイッチ素子手段と、を有する第1CDS回路と、
10

前記第1積分回路に対応して設けられ、対応する第1積分回路からの電圧出力を入力する入力端子と出力端子との間に順に設けられた第2結合容量素子および第2増幅器と、前記第1積分容量素子の容量値と等しい容量値を有し前記第2増幅器の入出力間に並列的に設けられた第2積分容量素子と、前記第2積分容量素子に前記電圧出力の変化量に応じた電荷量を蓄積させる第2スイッチ素子手段と、を有する第2CDS回路と、
15
20

前記第1CDS回路及び前記第2CDS回路に対応して設けられ、対応する第1CDS回路の前記第1積分容量素子および対応する第2CDS回路の前記第2積分容量素子それぞれに蓄積されている電荷量の差分を求め、その差分に応じた電圧出力を出力する第1差分演算回路と、を含み、

25 前記第2信号処理回路は、

前記他方の光感応部分群に対応して設けられ、対応する他方の光感応部分群

からの電流出力を電圧出力に変換して出力する第2積分回路と、

前記第2積分回路に対応して設けられ、対応する第2積分回路からの電圧出力を入力する入力端子と出力端子との間に順に設けられた第3結合容量素子および第3増幅器と、前記第3増幅器の入出力間に並列的に設けられた第3積分容量素子と、前記第3積分容量素子に前記電圧出力の変化量に応じた電荷量を蓄積させる第3スイッチ素子手段と、を有する第3CDS回路と、

前記第2積分回路に対応して設けられ、対応する第2積分回路からの電圧出力を入力する入力端子と出力端子との間に順に設けられた第4結合容量素子および第4増幅器と、前記第4積分容量素子の容量値と等しい容量値を有し前記第4増幅器の入出力間に並列的に設けられた第4積分容量素子と、前記第4積分容量素子に前記電圧出力の変化量に応じた電荷量を蓄積させる第4スイッチ素子手段と、を有する第4CDS回路と、

前記第3CDS回路及び前記第4CDS回路に対応して設けられ、対応する第3CDS回路の前記第3積分容量素子および対応する第4CDS回路の前記第4積分容量素子それぞれに蓄積されている電荷量の差分を求め、その差分に応じた電圧出力を出力する第2差分演算回路と、を含んでいることを特徴とする請求の範囲第1項に記載の光検出装置。

5. 前記第1信号処理回路は、

前記第1差分演算回路に対応して設けられ、対応する第1差分演算回路からの電圧出力を保持して出力する第1サンプルアンドホールド回路と、

前記第1サンプルアンドホールド回路それぞれからの電圧出力を順次に入力し、その電圧出力をデジタル値に変換して、そのデジタル値を出力する第1A/D変換回路と、を更に含み、

前記第2信号処理回路は、

前記第2差分演算回路に対応して設けられ、対応する第2差分演算回路からの電圧出力を保持して出力する第2サンプルアンドホールド回路と、

前記第 2 サンプルアンドホールド回路それぞれからの電圧出力を順次に入力し、その電圧出力をデジタル値に変換して、そのデジタル値を出力する第 2 A/D 変換回路と、を更に含んでいることを特徴とする請求の範囲第 4 項に記載の光検出装置。

5 6. 前記第 1 信号処理回路は、

前記一方の光感応部分群に対応して設けられ、対応する一方の光感応部分群からの電流出力を入力する入力端子と出力端子との間に並列的に設けられた第 1 容量素子及び第 2 容量素子を有し、前記一方の光感応部分群にて前記第 1 の期間にわたり蓄積された電荷に対応した電流出力に応じて電荷を前記第 1 容量素子に蓄積し、前記一方の光感応部分群にて前記第 2 の期間にわたり蓄積された電荷に対応した電流出力に応じて電荷を前記第 2 容量素子に蓄積する第 1 電荷蓄積回路と、

前記第 1 電荷蓄積回路の前記第 1 容量素子及び前記第 2 容量素子それぞれに蓄積されている電荷量の差分を求め、その差分に応じた電圧出力を出力する第 1 差分演算回路と、を含み、

前記第 2 信号処理回路は、

前記他方の光感応部分群に対応して設けられ、対応する他方の光感応部分群からの電流出力を入力する入力端子と出力端子との間に並列的に設けられた第 3 容量素子及び第 4 容量素子を有し、前記他方の光感応部分群にて前記第 1 の期間にわたり蓄積された電荷に対応した電流出力に応じて電荷を前記第 3 容量素子に蓄積し、前記他方の光感応部分群にて前記第 2 の期間にわたり蓄積された電荷に対応した電流出力に応じて電荷を前記第 4 容量素子に蓄積する第 2 電荷蓄積回路と、

前記第 2 電荷蓄積回路の前記第 3 容量素子及び前記第 4 容量素子それぞれに蓄積されている電荷量の差分を求め、その差分に応じた電圧出力を出力する第 2 差分演算回路と、を含んでいることを特徴とする請求の範囲第 1 項に記載の光検

出装置。

7. 前記第1信号処理回路は、

前記第1容量素子及び前記第2容量素子から当該第1容量素子及び第2容量素子に蓄積されている電荷に対応した電流出力を順次入力し、その電流出力を電圧出力に変換して前記第1差分演算回路に出力する第1積分回路と、

前記第1差分演算回路からの電圧出力を順次入力し、その電圧出力をデジタル値に変換し、そのデジタル値を出力する第1A/D変換回路と、を更に含み、
前記第2信号処理回路は、

前記第3容量素子及び前記第4容量素子から当該第3容量素子及び第4容量素子に蓄積されている電荷に対応した電流出力を順次入力し、その電流出力を電圧出力に変換して前記第2差分演算回路に出力する第2積分回路と、

前記第2差分演算回路からの電圧出力を順次入力し、その電圧出力をデジタル値に変換し、そのデジタル値を出力する第2A/D変換回路と、を更に含んでいることを特徴とする請求の範囲第6項に記載の光検出装置。

8. 対象物に光を照射する光源とともに用いられ、画素が2次元配列された光感応領域を有する光検出装置であって、

各々入射した光の強度に応じた電流を出力する複数の光感応部分を同一面内にて隣接して配設することで1画素が構成され、

前記2次元配列における第1の方向に配列された複数の画素にわたって、当該各画素を構成する複数の光感応部分のうち一方の光感応部分同士が電氣的に接続され、

前記2次元配列における第2の方向に配列された複数の画素にわたって、当該各画素を構成する複数の光感応部分のうち他方の光感応部分同士が電氣的に接続されており、

前記第1の方向に配列された前記複数の画素間において電氣的に接続された一方の光感応部分群に対応して設けられ、前記光源により前記対象物に前記光が照

射されている第 1 の期間における前記一方の光感応部分群からの電流出力から、前記光源により前記対象物に前記光が照射されていない第 2 の期間における前記一方の光感応部分群からの電流出力を除去して、出力する第 1 除去回路と、

前記第 1 除去回路に対応して設けられ、対応する第 1 除去回路からの電流出力
5 に応じて電荷を蓄積して、その蓄積された電荷の量に応じた電圧出力を出力する第 1 積分回路と、

前記第 2 の方向に配列された前記複数の画素間において電氣的に接続された他方の光感応部分群に対応して設けられ、前記第 1 の期間における前記他方の光感応部分群からの電流出力から、前記第 2 の期間における前記他方の光感応部分群
10 からの電流出力を除去して、出力する第 2 除去回路と、

前記第 2 除去回路に対応して設けられ、対応する第 2 除去回路からの電流出力
に応じて電荷を蓄積して、その蓄積された電荷の量に応じた電圧出力を出力する第 2 積分回路と、を有することを特徴とする光検出装置。

9. 前記第 1 除去回路は、

15 ソース端子が前記一方の光感応部分に接続され、ドレイン端子が接地された第 1 MOS トランジスタと、

一方の端子が前記第 1 MOS トランジスタのゲート端子と接続され、他方の端子が接地された第 1 容量素子と、

一方の端子が前記第 1 MOS トランジスタのゲート端子と接続され、他方の
20 端子が前記第 1 積分回路の出力と接続された第 1 スイッチ素子と、を含み、

前記第 2 除去回路は、

ソース端子が前記他方の光感応部分に接続され、ドレイン端子が接地された第 2 MOS トランジスタと、

25 一方の端子が前記第 2 MOS トランジスタのゲート端子と接続され、他方の端子が接地された第 2 容量素子と、

一方の端子が前記第 2 MOS トランジスタのゲート端子と接続され、他方の

端子が前記第 2 積分回路の出力と接続された第 2 スイッチ素子と、を含んでいることを特徴とする請求の範囲第 8 項に記載の光検出装置。

10. 前記第 1 積分回路に対応して設けられ、当該第 1 積分回路からの電圧出力のうちの前記第 2 の期間に対応した電圧出力を保持するとともに、当該第 1 積分回路からの電圧出力のうちの前記第 1 の期間に対応した電圧出力との差分に応じた電圧出力を出力する第 1 差分演算回路と、

前記第 1 差分演算回路に対応して設けられ、対応する第 1 差分演算回路からの電圧出力を保持して出力する第 1 サンプルアンドホールド回路と、

前記第 1 サンプルアンドホールド回路それぞれからの電圧出力を順次入力し、その電圧出力をデジタル値に変換し、そのデジタル値を出力する第 1 A/D 変換回路と、

前記第 2 積分回路に対応して設けられ、当該第 2 積分回路からの電圧出力のうちの前記第 2 の期間に対応した電圧出力を保持するとともに、当該第 2 積分回路からの電圧出力のうちの前記第 1 の期間に対応した電圧出力との差分に応じた電圧出力を出力する第 2 差分演算回路と、

前記第 2 差分演算回路に対応して設けられ、対応する第 2 差分演算回路からの電圧出力を保持して出力する第 2 サンプルアンドホールド回路と、

前記第 2 サンプルアンドホールド回路それぞれからの電圧出力を順次入力し、その電圧出力をデジタル値に変換し、そのデジタル値を出力する第 2 A/D 変換回路と、を更に有することを特徴とする請求の範囲第 8 項に記載の光検出装置。

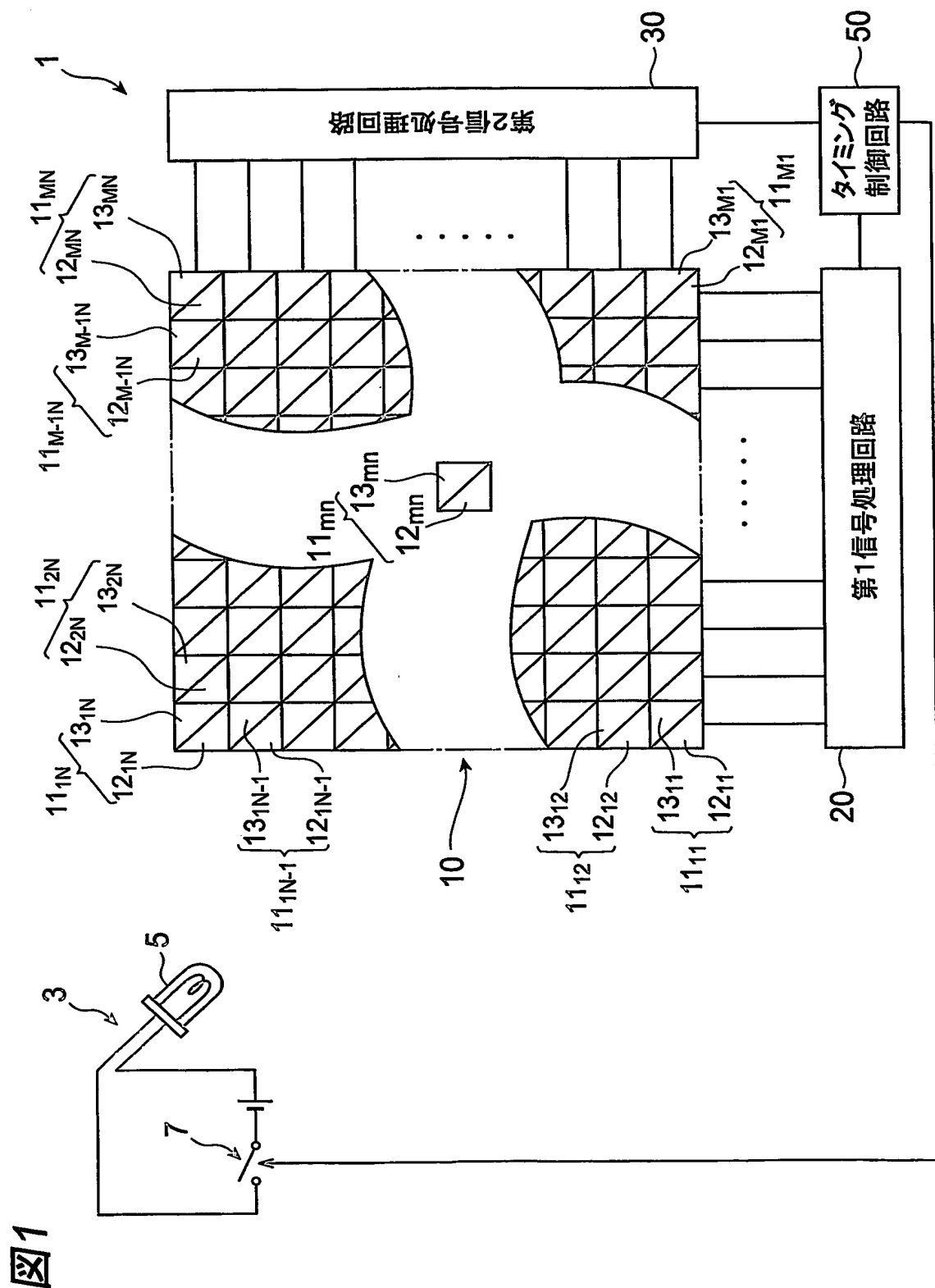


图2

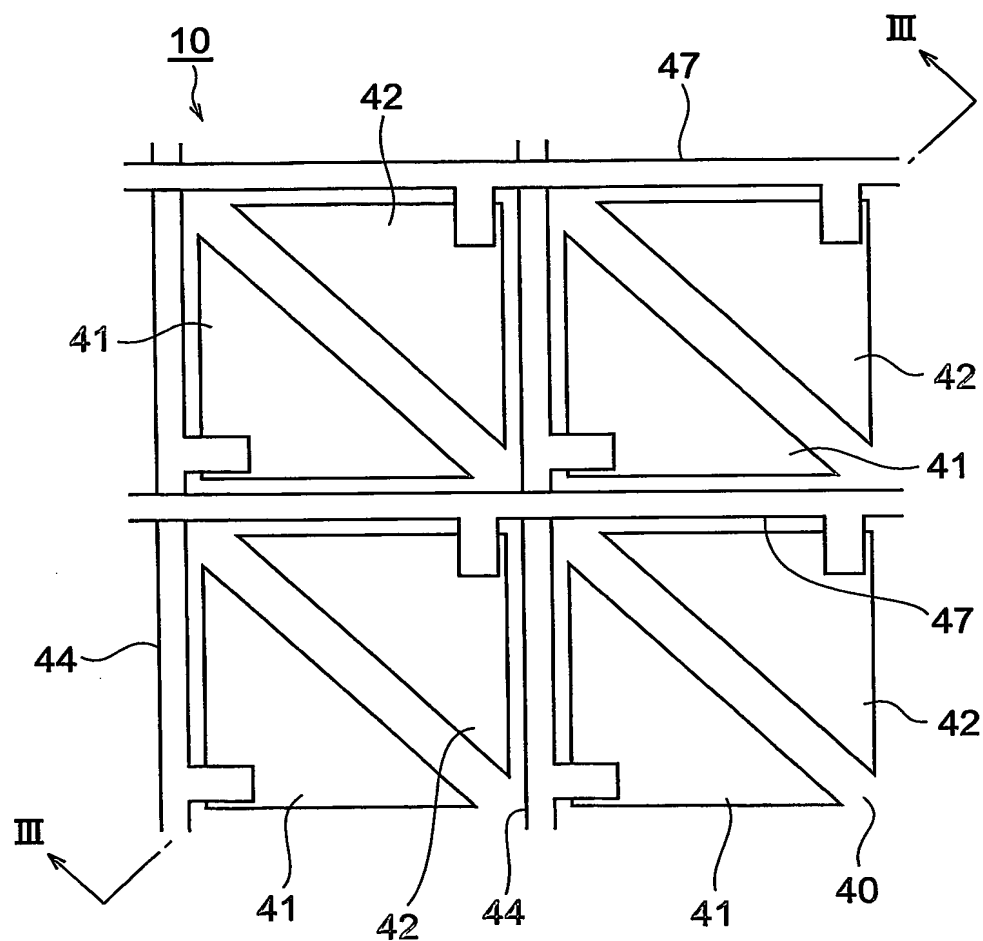


図3

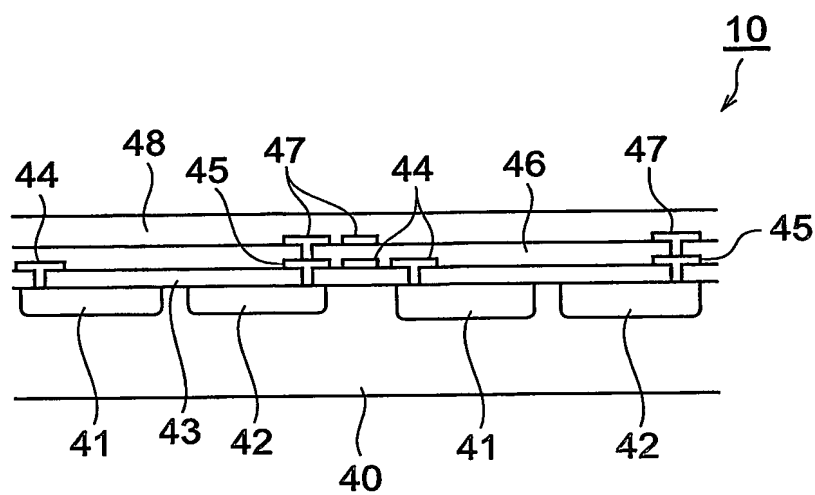


図4

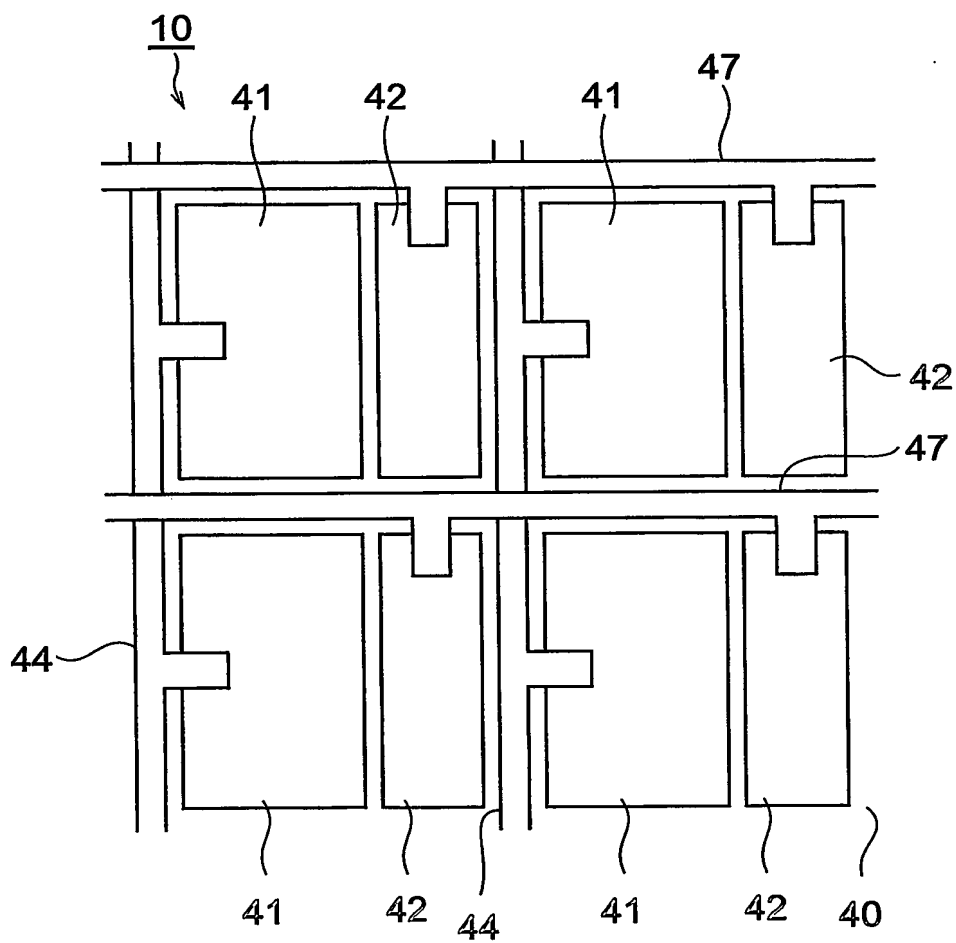


図5

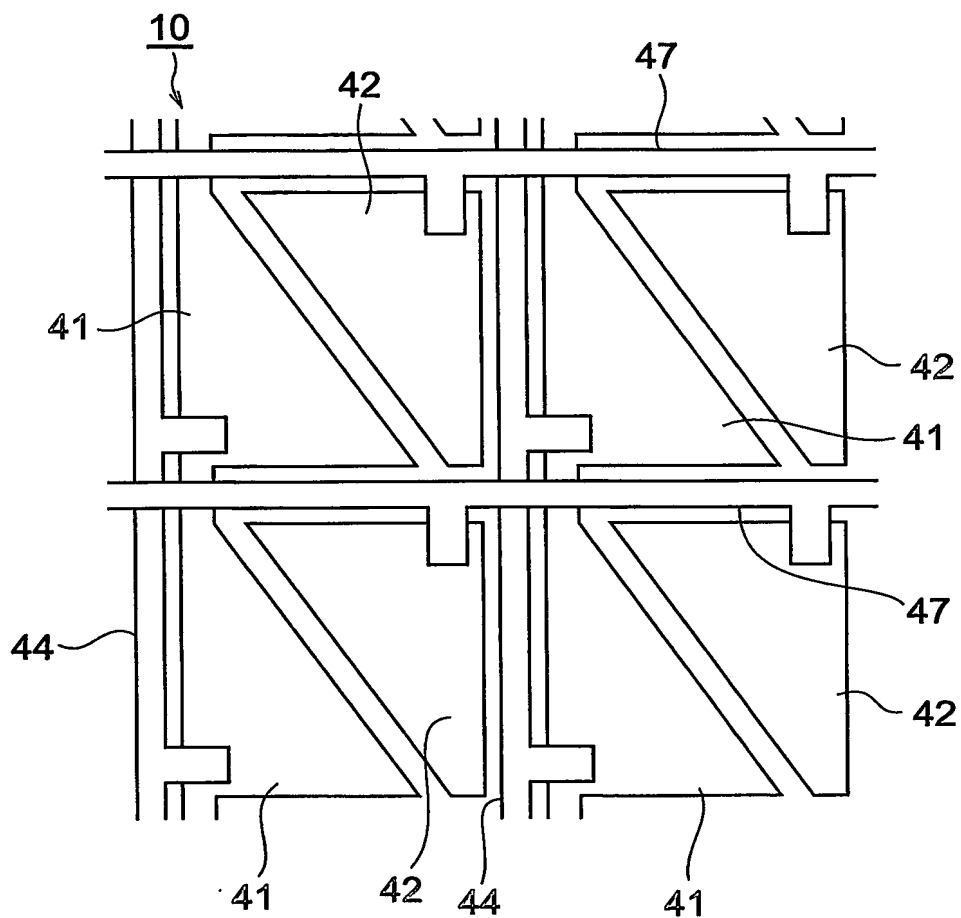


図6

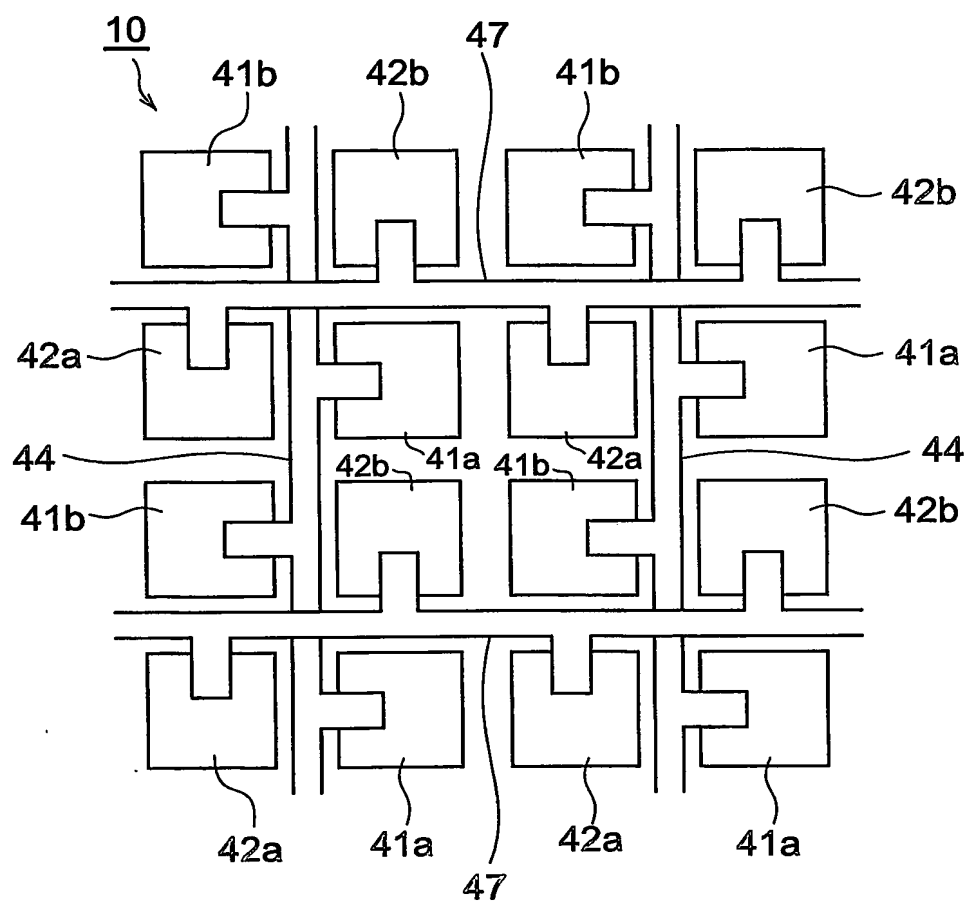


図7

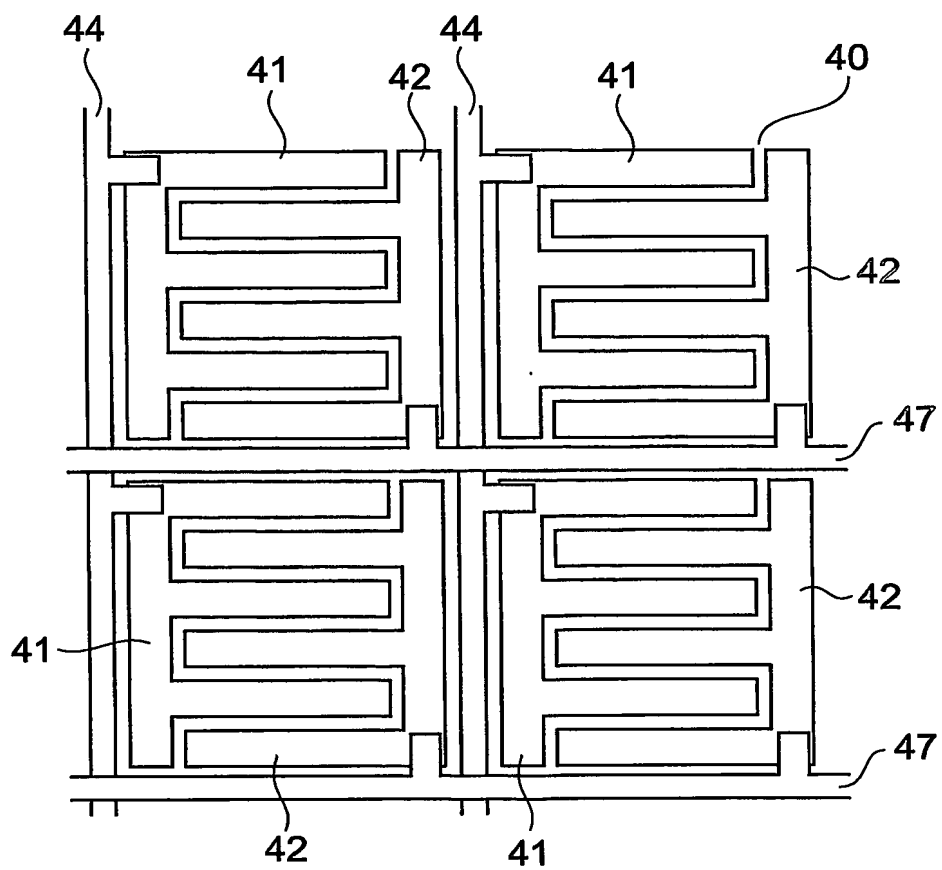


図8

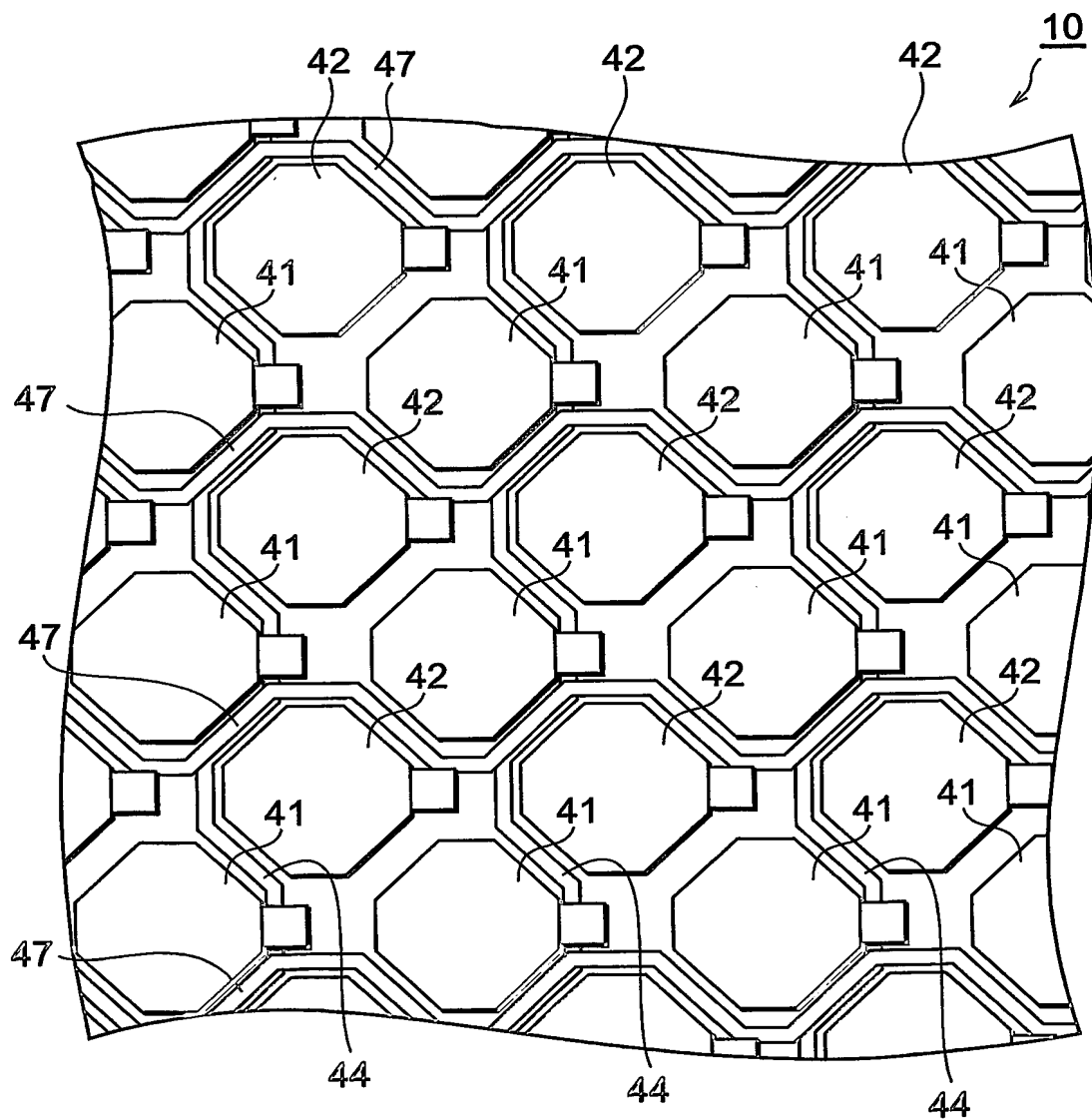


図9

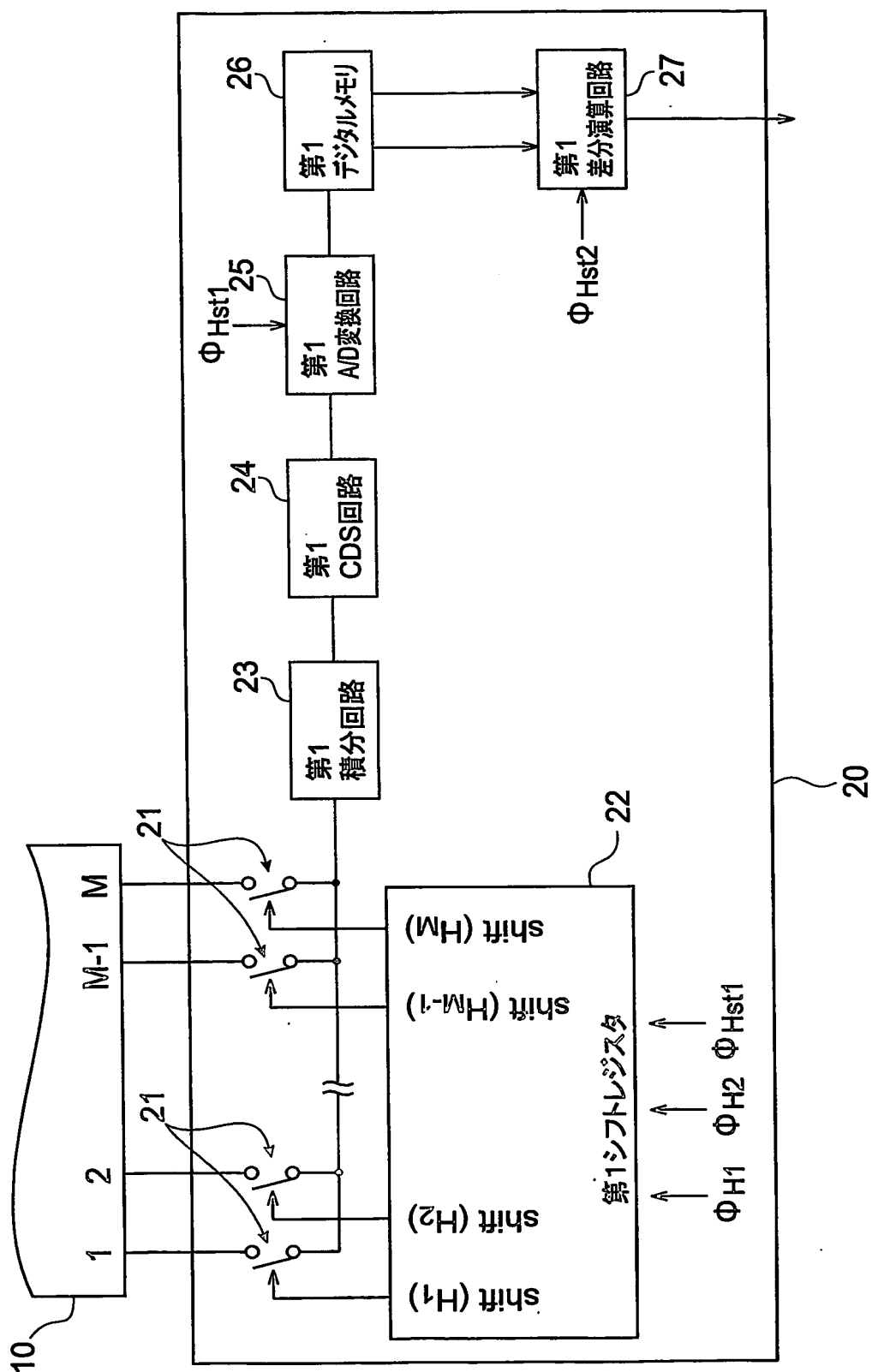


図10

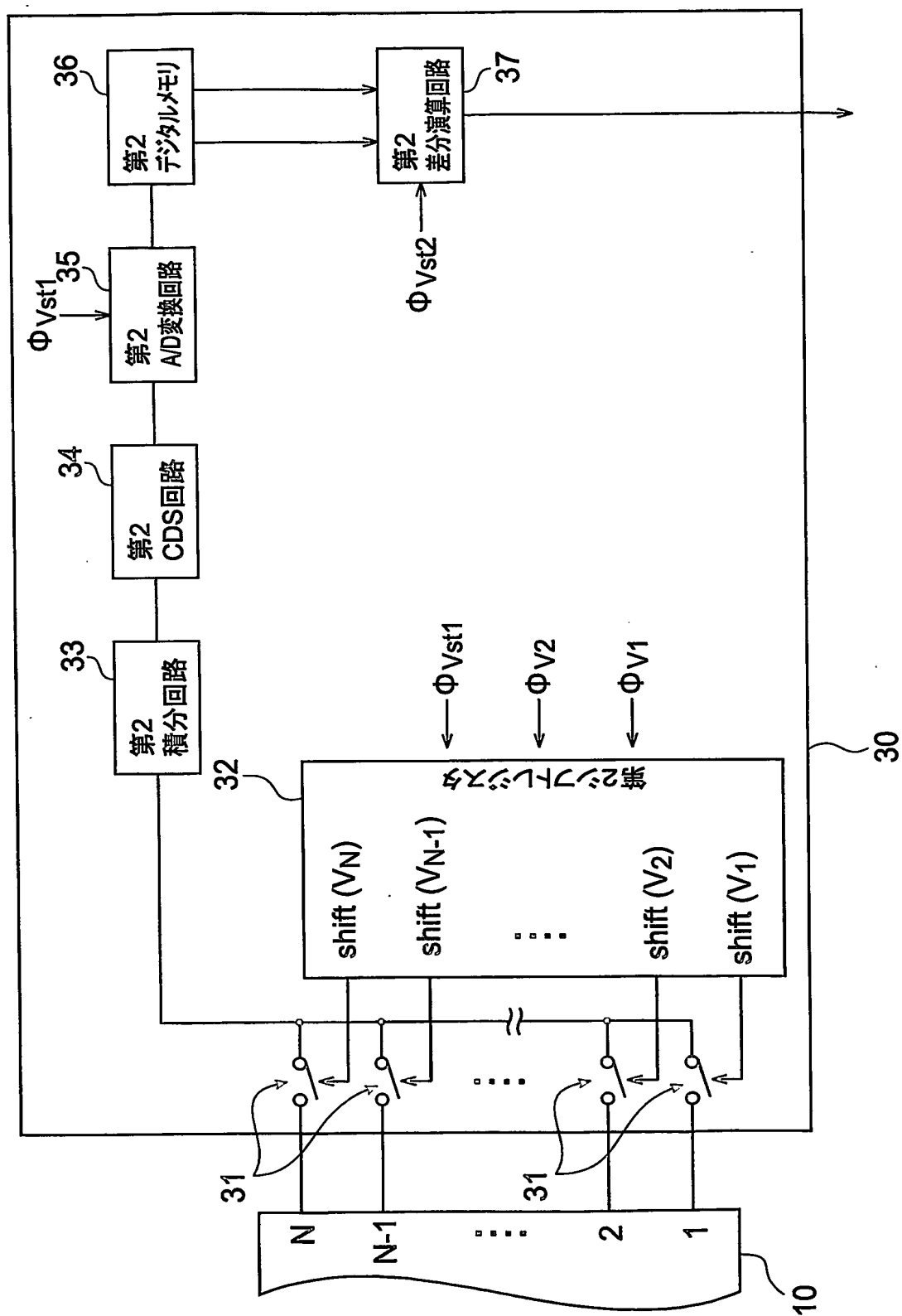


図11

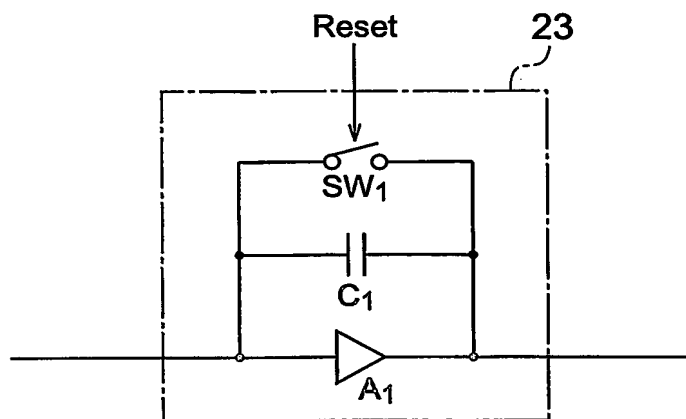


図12

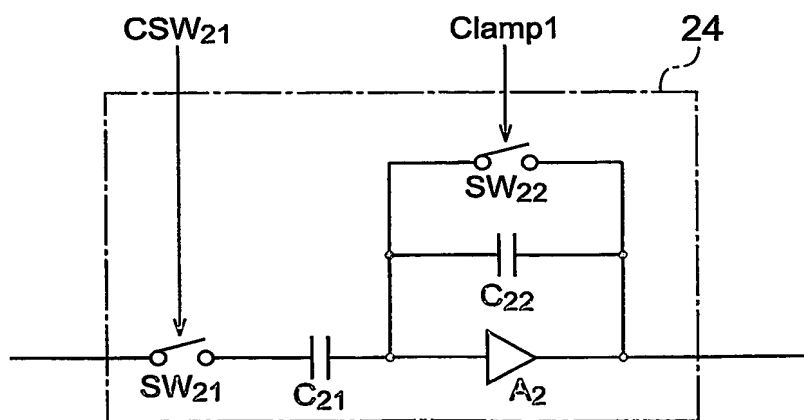


図13A



図13B



図13C



図13D



図13E

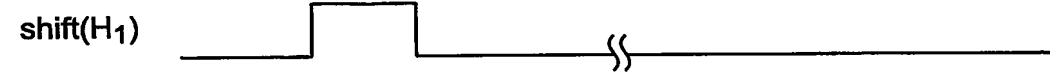


図13F



図13G



図13H



図13I



図14A

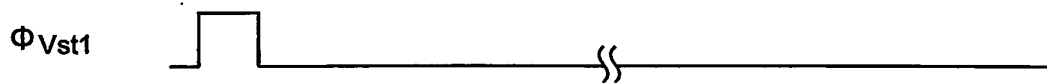


図14B



図14C



図14D



図14E

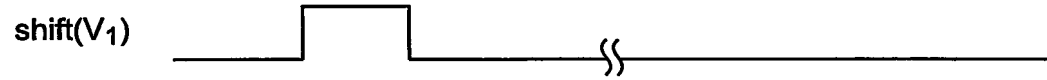


図14F



図14G



図14H



図14I



図15A

図15B

図15C

図15D

図15E

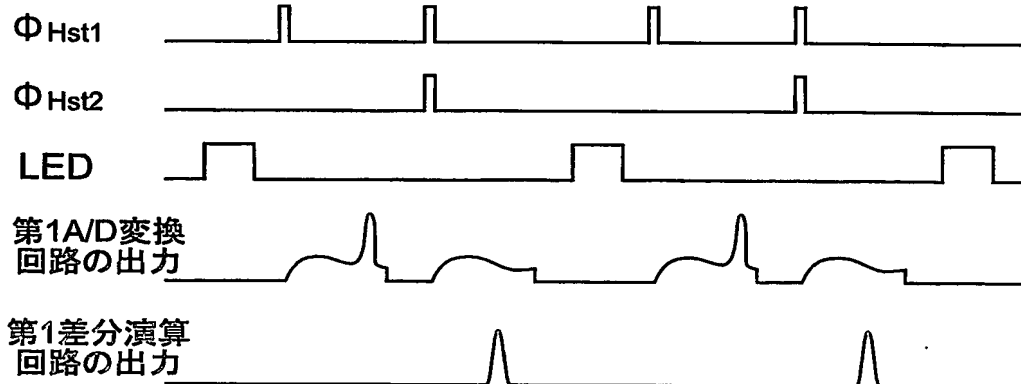


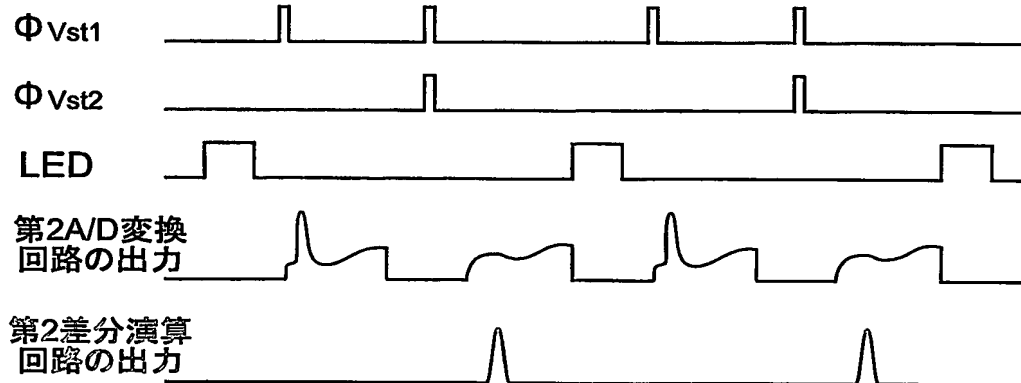
図16A

図16B

図16C

図16D

図16E



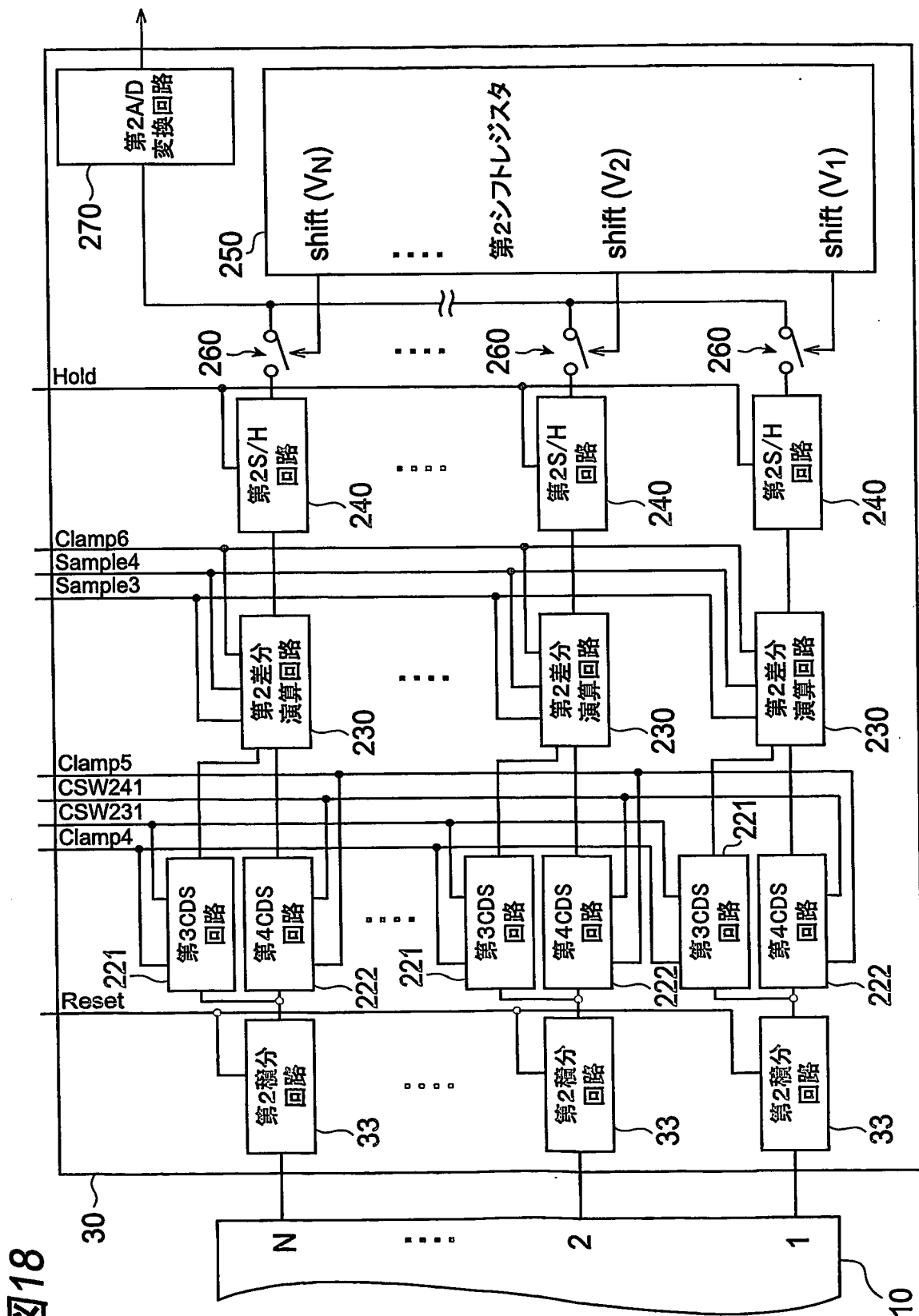


図18

19

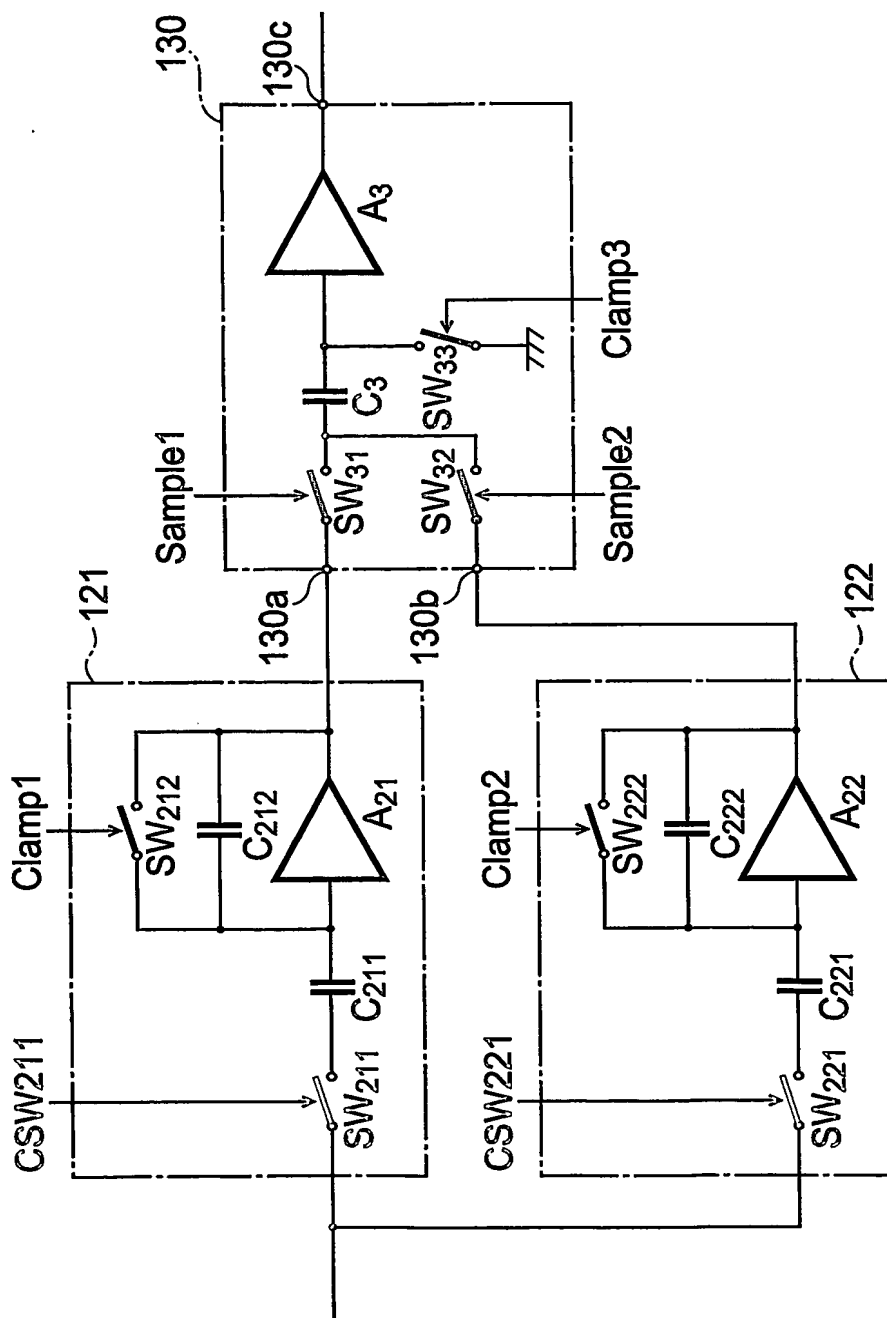


図20

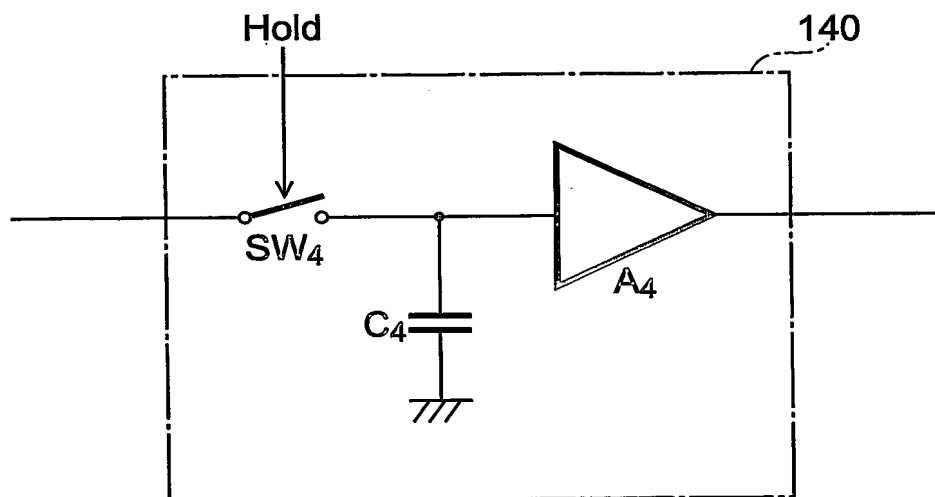


図21

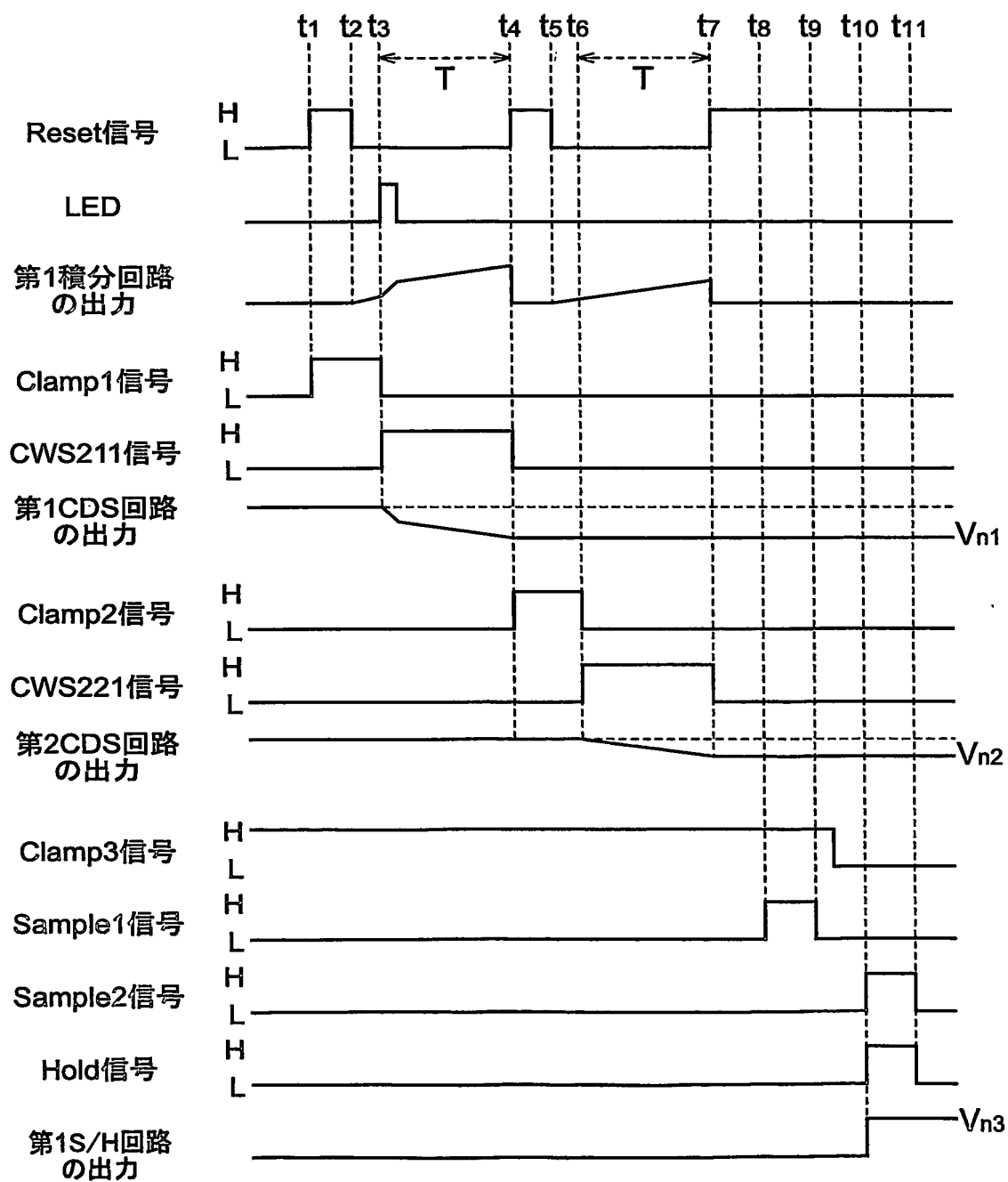
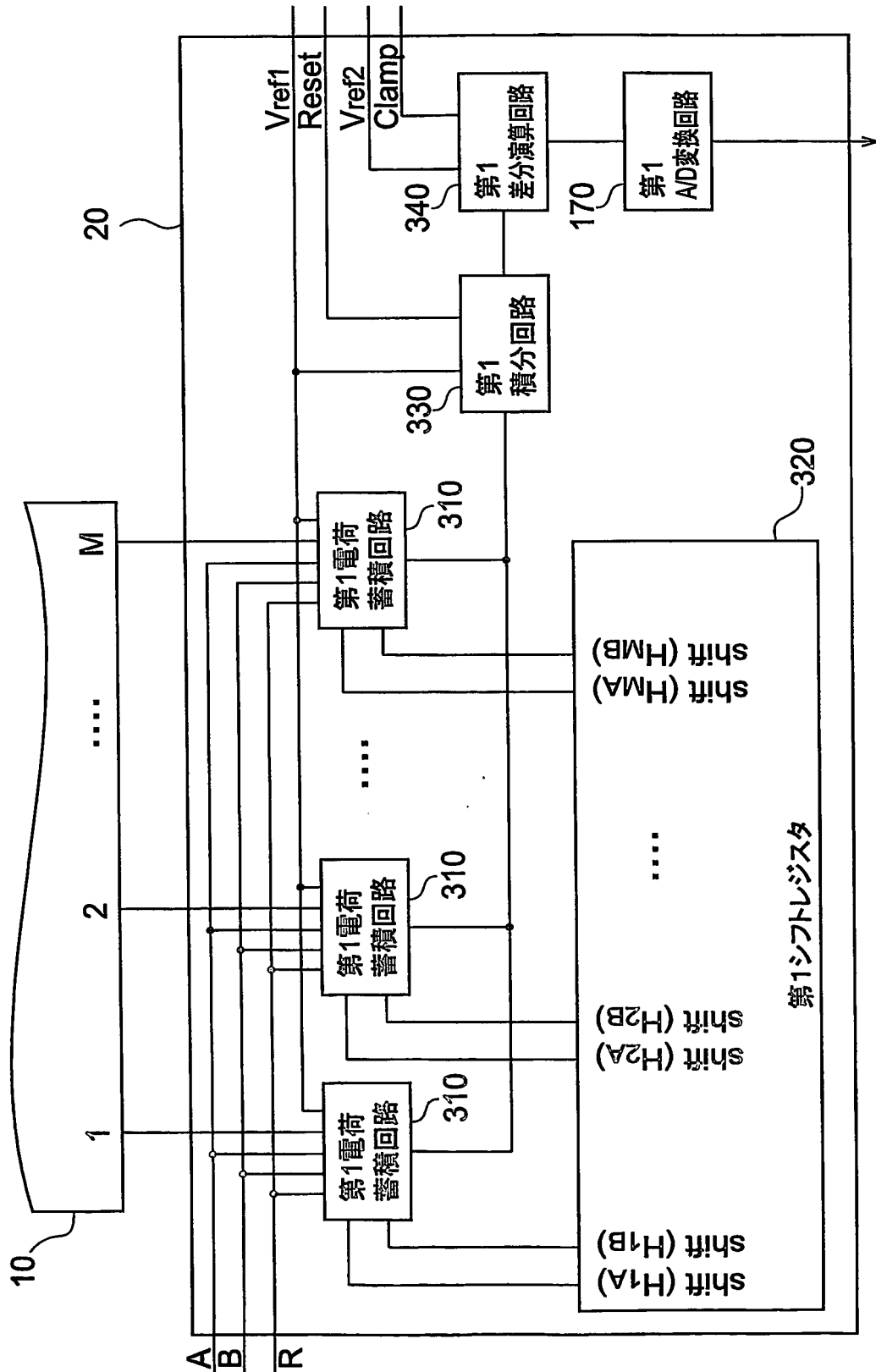


図22



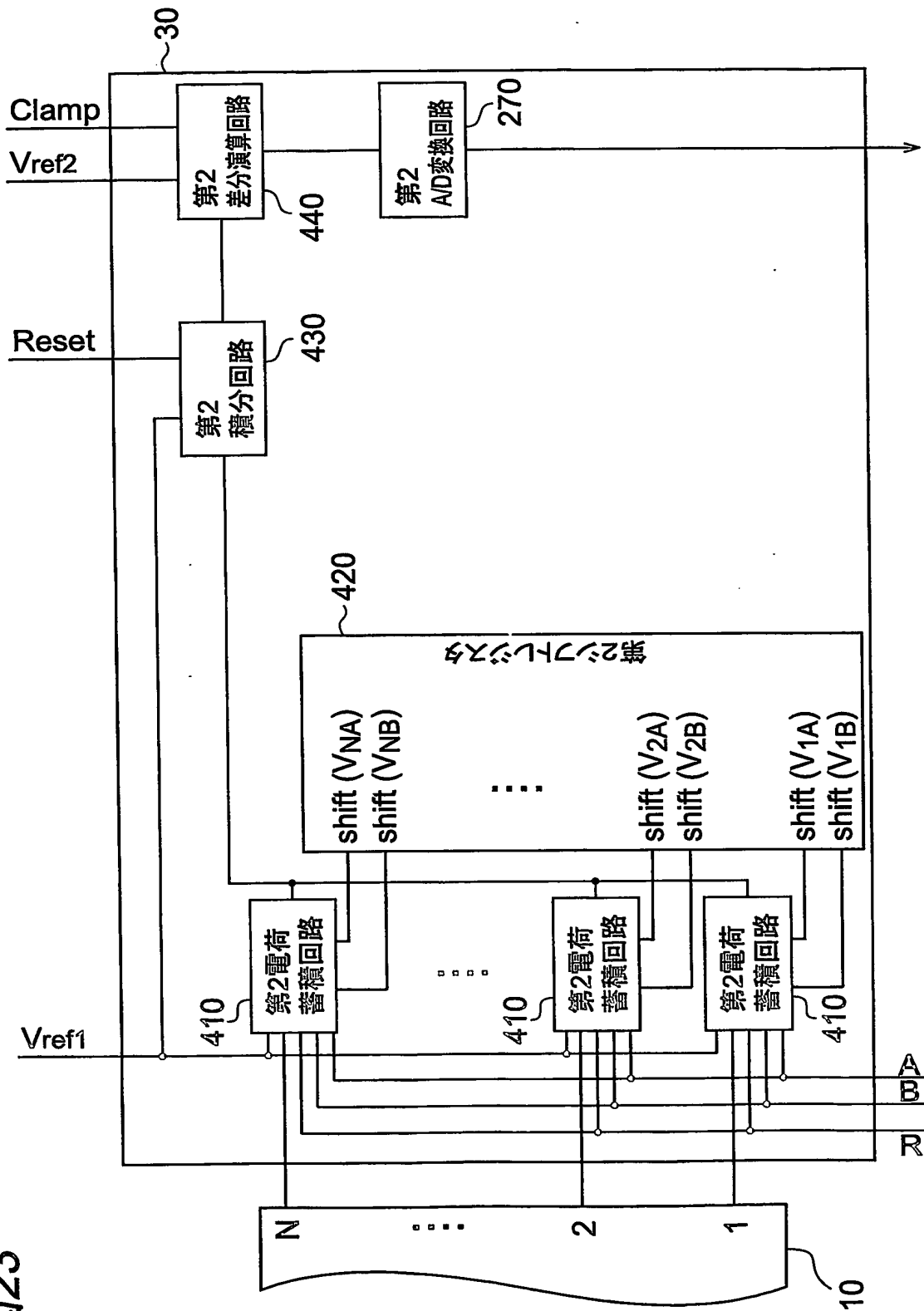


図23

図24

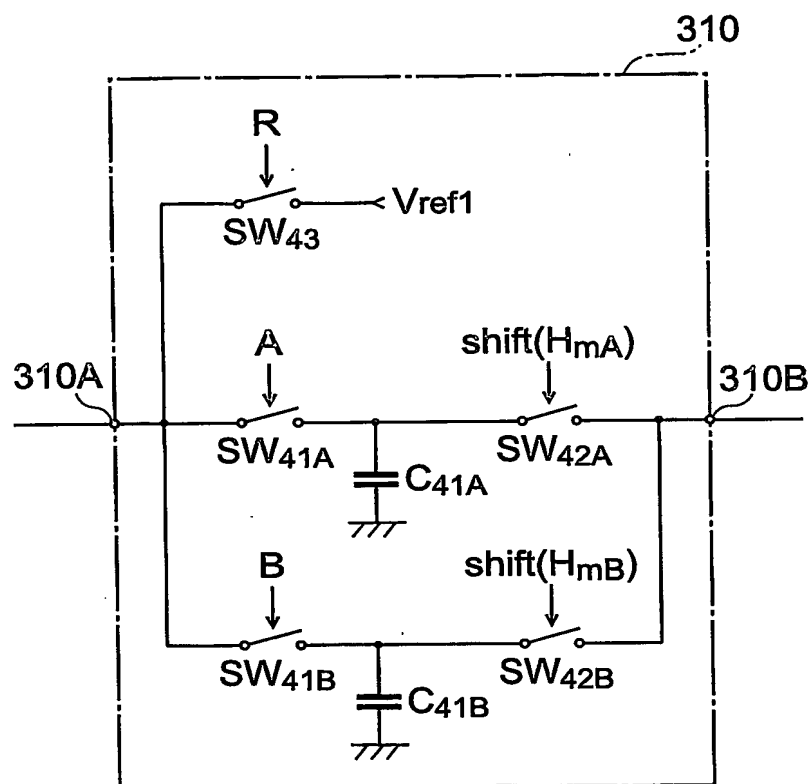


図25

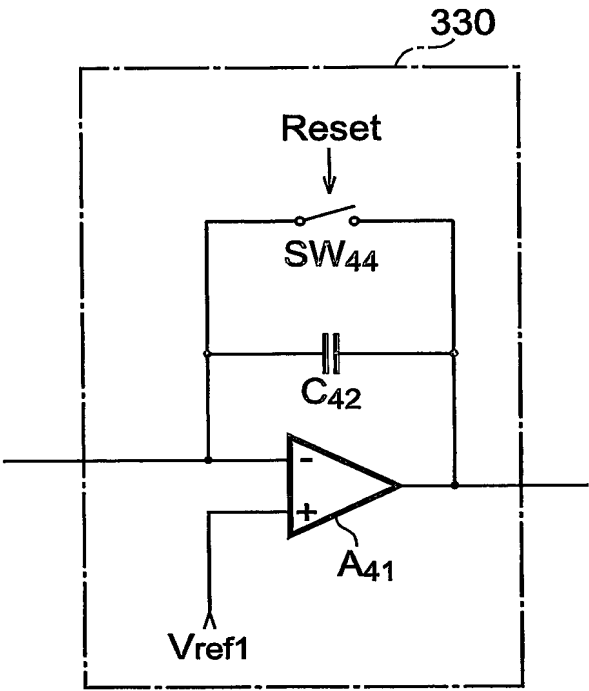


図26

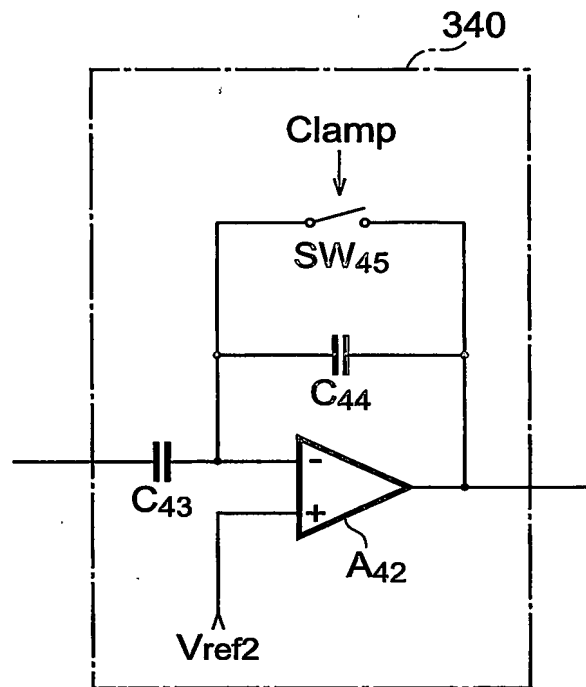


図27

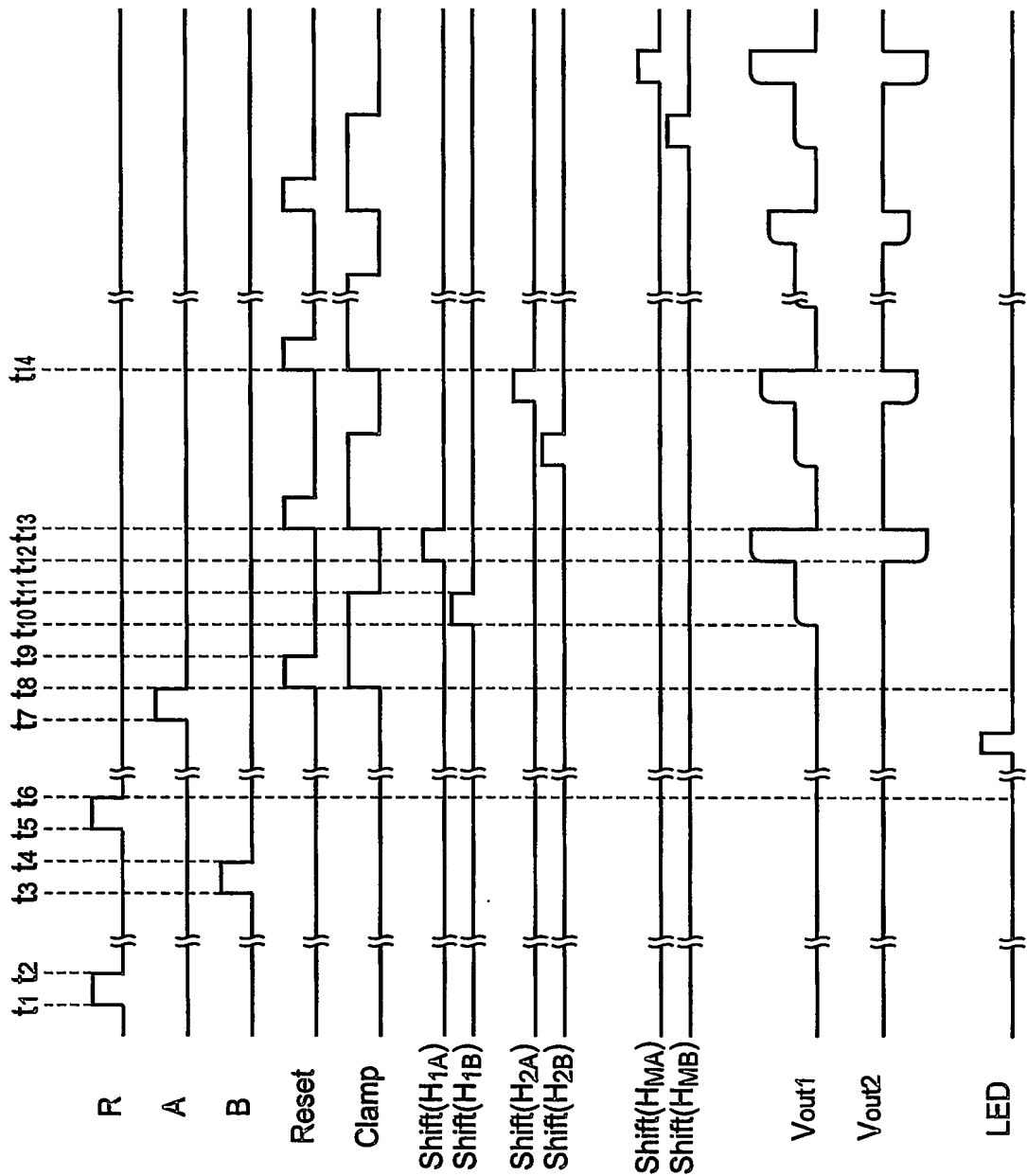
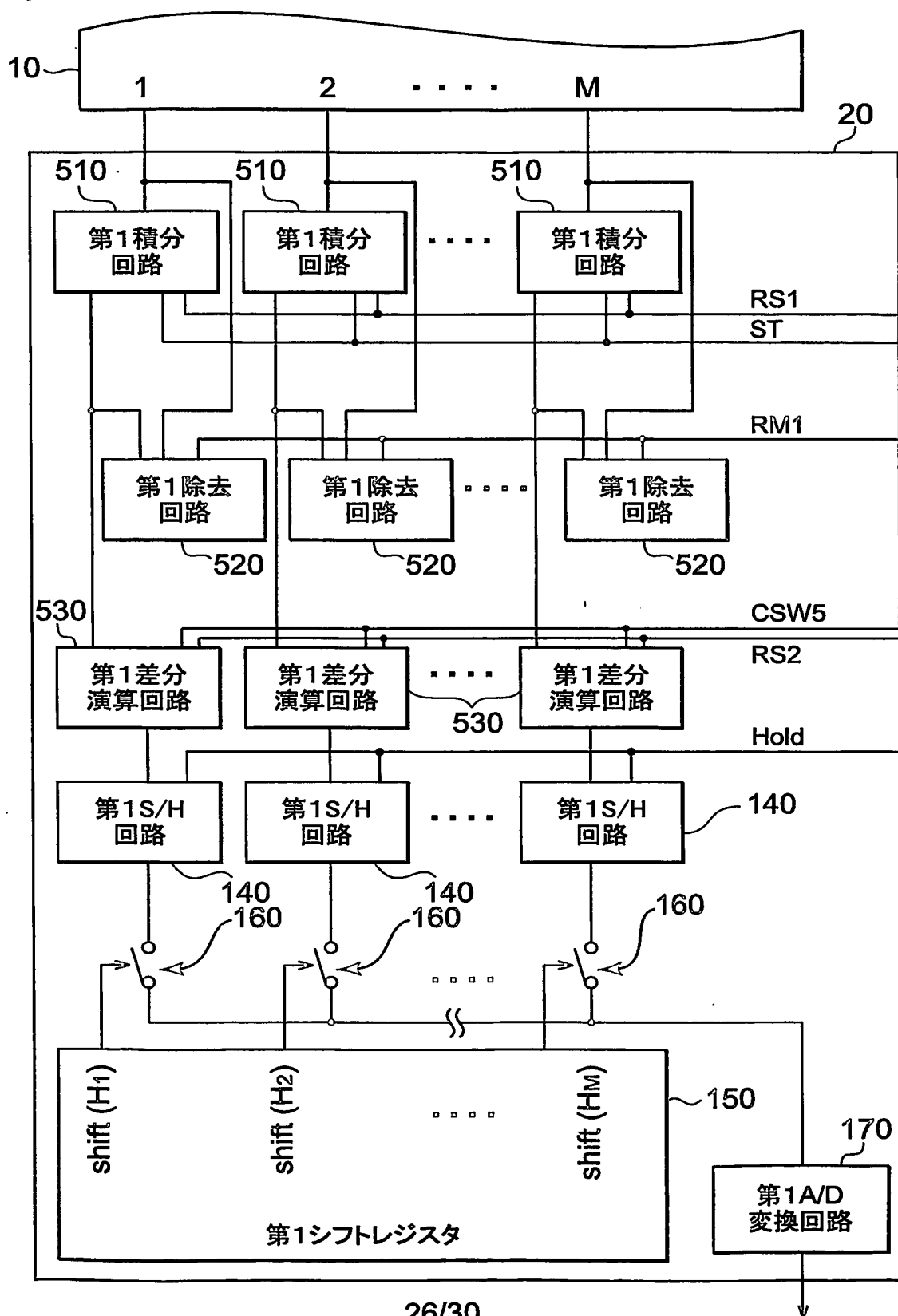


図28



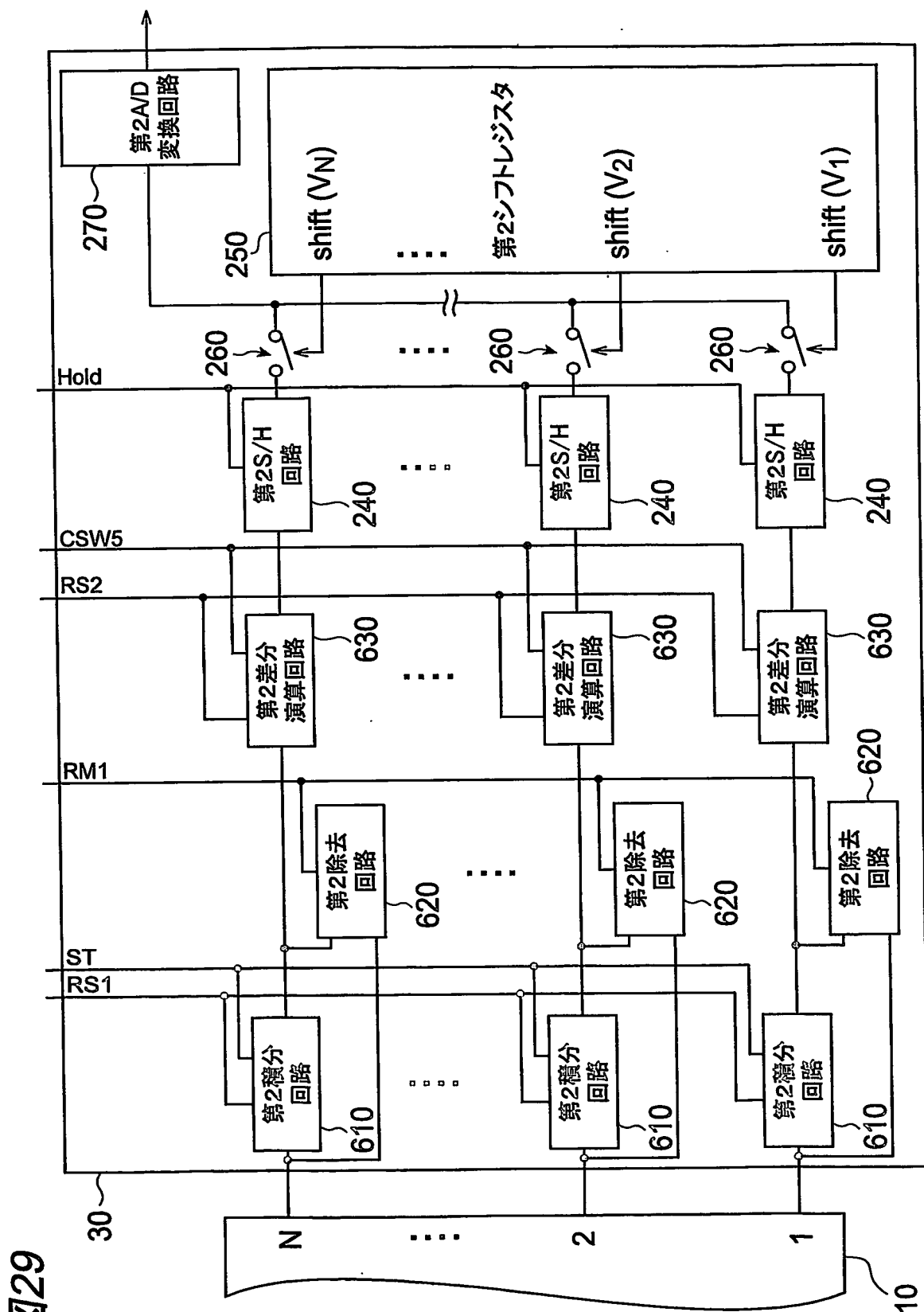


図29

30

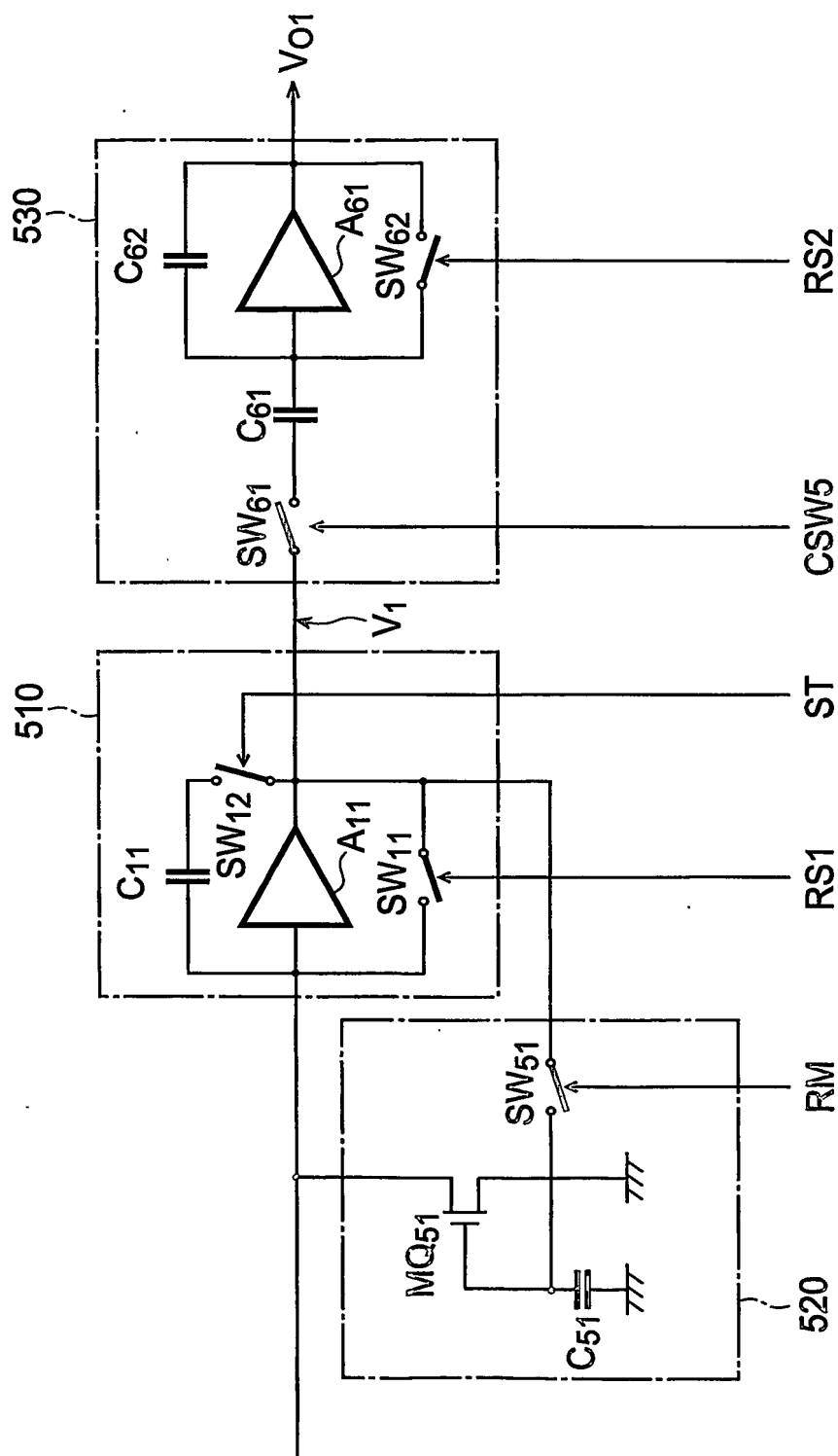
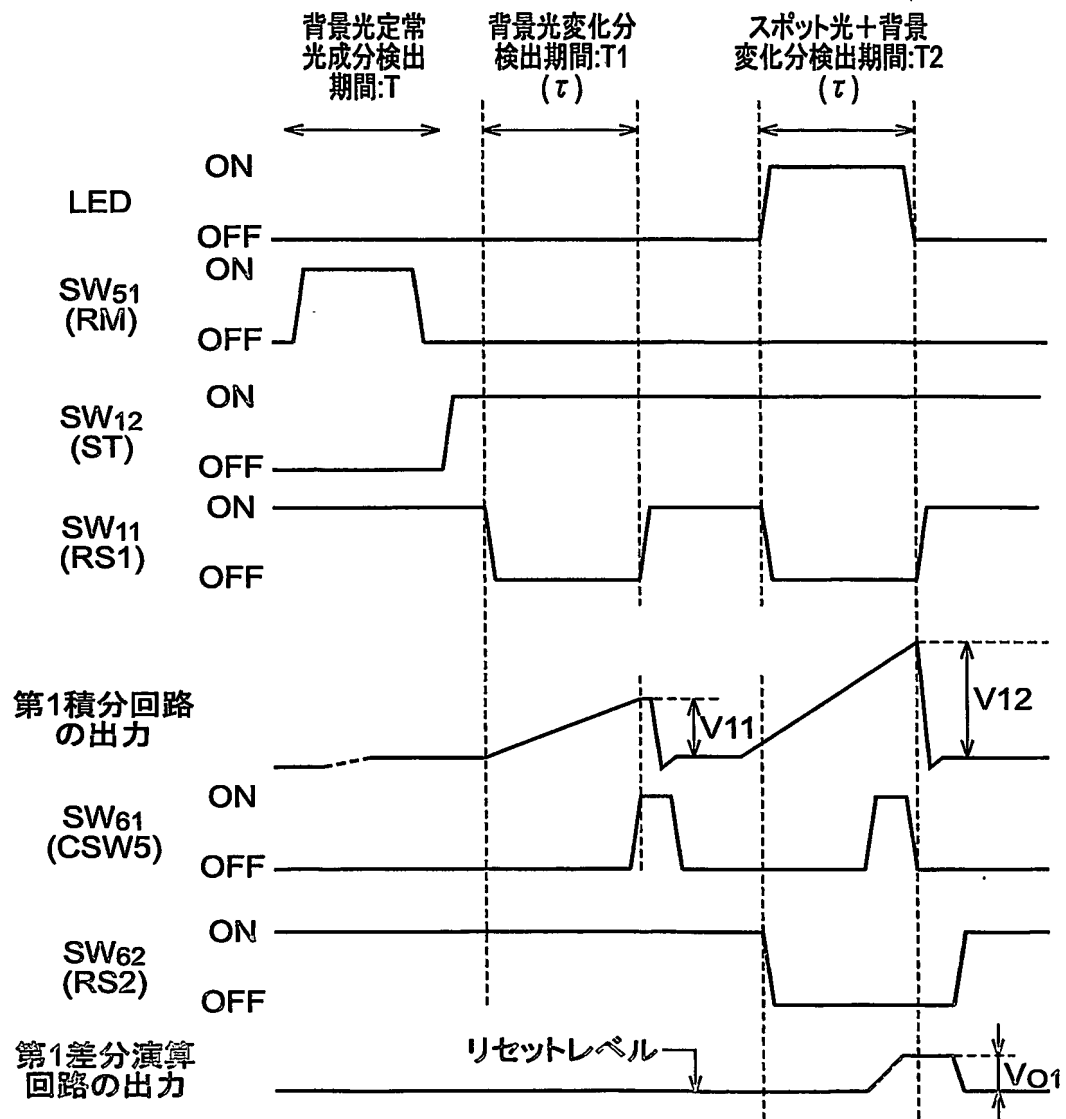
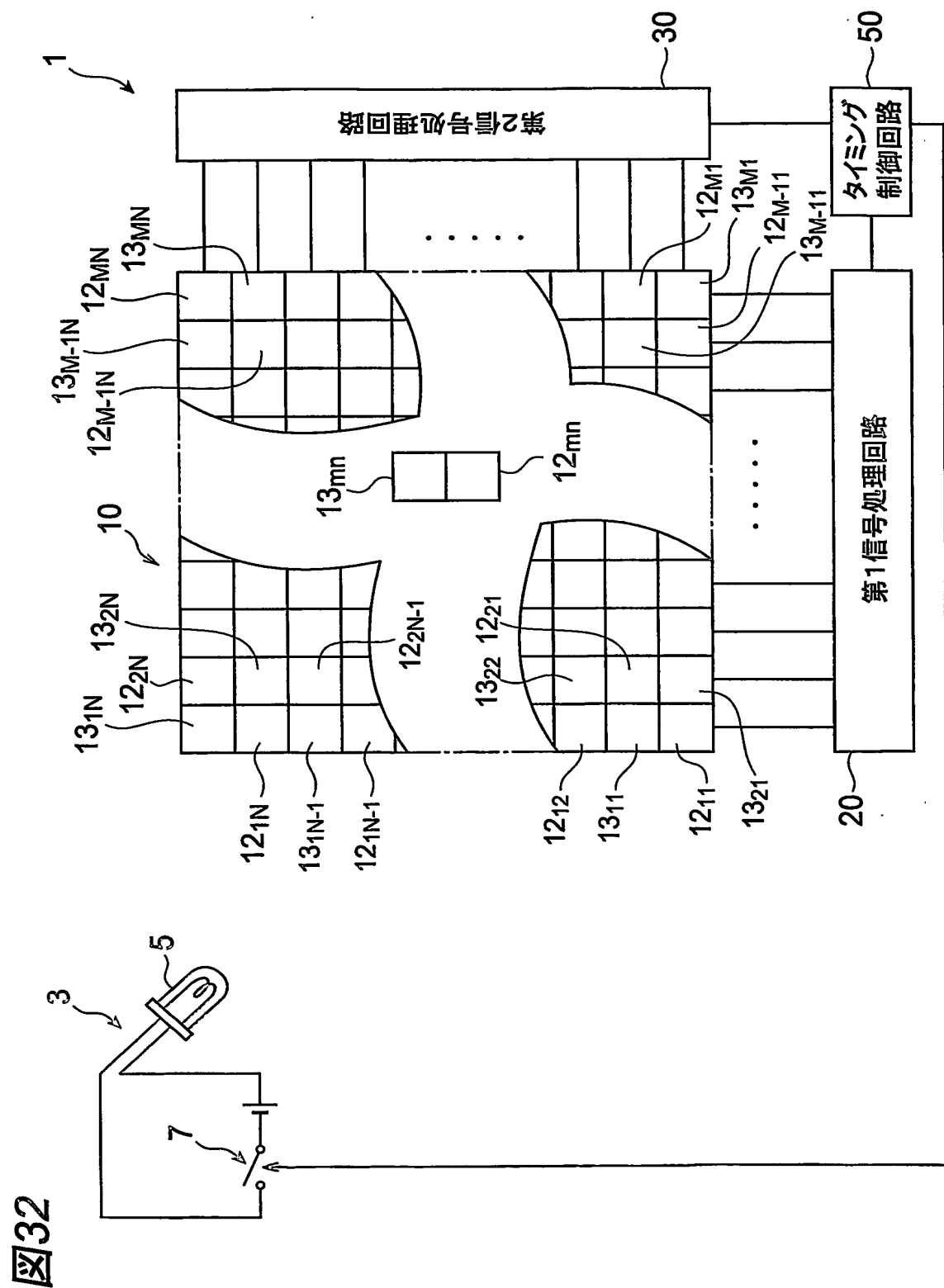


図31





INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/000537

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ G01B11/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G01B11/00-11/30, G01J1/44, H04N5/335, H01L27/14

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Jitsuyo Shinan Toroku Koho	1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 6-5832 A (Fujitsu Ltd.), 14 January, 1994 (14.01.94), Full text; all drawings (Family: none)	1-10
A	JP 5-29594 A (Fujitsu Ltd.), 05 February, 1993 (05.02.93), Full text; all drawings (Family: none)	1-10
P, X	WO 03/055201 A1 (Hamamatsu Photonics Kabushiki Kaisha), 04 July, 2003 (04.07.03), Full text; all drawings & JP 2003-189181 A	1-10

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
22 April, 2004 (22.04.04)Date of mailing of the international search report
18 May, 2004 (18.05.04)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.⁷ G 01 B 11/00

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.⁷ G 01 B 11/00 - 11/30, G 01 J 1/44, H 04 N 5/335, H 01 L 27/14

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2004年

日本国登録実用新案公報 1994-2004年

日本国実用新案登録公報 1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P 6-5832 A (富士通株式会社) 14. 01. 1994, 全文、全図 (ファミリーなし)	1-10
A	J P 5-29594 A (富士通株式会社) 05. 02. 1993, 全文、全図 (ファミリーなし)	1-10
P, X	WO 03/055201 A1 (浜松ホトニクス株式会社) 04. 07. 2003, 全文、全図 & J P 2003-189181 A	1-10

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

22. 04. 2004

国際調査報告の発送日

18. 5. 2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

山下雅人

2 S

9303

電話番号 03-3581-1101 内線 3216